

# Plataforma de posicionamiento con control adaptativo en FPGA y superposición gráfica NTSC

**Jorge H. Vázquez Leiva, Yordany Vélez Rodríguez, Yunior Ibarra Guerra, José Ernesto Vargas Fernández**

## RESUMEN / ABSTRACT

El Sistema de Identificación Automática (AIS, por sus siglas en inglés) constituye una tecnología fundamental para la vigilancia marítima, cuyo potencial se expande mediante una arquitectura embebida con controlador adaptativo en FPGA para el posicionamiento automático de una plataforma giratoria con cámara NTSC. La innovación principal radica en integrar capacidades de simulación que permiten validar el sistema mediante datos de buques simulados sin afectar la operatividad real. La implementación combina una computadora ODROID C2 para gestión de datos y un FPGA Cyclone IV que ejecuta concurrentemente el control adaptativo del sistema motorizado y la superposición gráfica en video mediante multiplexor HDM4053B sincronizado con el separador de sincronismos LM1881. Desarrollado para el sector petrolero nacional, el sistema demuestra en pruebas reales su efectividad para garantizar el correcto enfoque de cámaras durante operaciones de cabotaje de combustible, representando una solución práctica que mantiene compatibilidad con infraestructura analógica existente mientras asegura precisión en el monitoreo visual portuario.

Palabras claves: AIS, FPGA, control adaptativo, NTSC, simulación de buques, validación de sistemas.

*The Automatic Identification System (AIS) constitutes a fundamental technology for maritime surveillance, whose potential is expanded through an embedded architecture with an adaptive FPGA controller for the automatic positioning of a rotating platform with an NTSC camera. The main innovation lies in integrating simulation capabilities that enable system validation using simulated vessel data without affecting actual operations. The implementation combines an ODROID C2 computer for data management and a Cyclone IV FPGA that concurrently executes adaptive control of the motorized system and video graphic overlay through an HDM4053B multiplexer synchronized with the LM1881 sync separator. Developed for the national oil sector, the system demonstrates through real-world testing its effectiveness in ensuring proper camera focusing during fuel cabotage operations, representing a practical solution that maintains compatibility with existing analog infrastructure while ensuring precision in port visual monitoring.*

**Keywords:** AIS, FPGA, adaptive control, NTSC, vessel simulation, system validation.

**Positioning Platform with Adaptive Control in FPGA and NTSC Graphic Overlay**

## 1. -INTRODUCCIÓN

El Sistema de Identificación Automática (AIS) constituye una tecnología estandarizada para la vigilancia marítima que permite el monitoreo de embarcaciones a través de redes de receptores costeros, los cuales se integran con sistemas establecidos de gestión portuaria [1]. El empleo de este protocolo ha sido desarrollado en investigaciones [2] en las cuales se ha demostrado su viabilidad para implementar sistemas embebidos basados en computadoras de placa única (SBC) para el procesamiento de datos AIS en aplicaciones portuarias, lográndose una efectividad del 95% para captura y decodificación.

Recibido: 10/2025 Aceptado: 12/2025

Por otra parte, las cámaras de video analógico, regidas por normas como la del Comité Nacional de Sistemas de Televisión (NTSC, por sus siglas en inglés) [3] constituyen una base tecnológica aún vigente y considerable en sistemas de operación crítica. En estos entornos, se hace necesario con frecuencia posicionar objetos, cancelar cuadros o realizar otros procesamientos dentro de la imagen para tareas como la creación de simuladores o la modificación de contenido [4]. No obstante, la digitalización integral de estas señales analógicas para su posterior procesamiento software representa una solución técnicamente compleja y económicamente costosa [5], con incrementos presupuestarios que pueden superar el 40% según reportes de Zhang et al. [6].

En este contexto, el desarrollo de dispositivos como las SBC y los arreglos de compuertas programables (FPGA) se erigen como plataformas asequibles para implementar este tipo de soluciones dirigidas a la industria [7]. Su idoneidad radica no solo en sus superiores prestaciones en términos de velocidad de procesamiento y flexibilidad en comparación con los dispositivos lógicos programables más simples [8], sino también en su ventaja arquitectónica para integrar sistemas completos en un solo chip [9], reduciendo los tiempos de procesamiento en un 60% según mediciones de Chen et al. [10]. En el ámbito del procesamiento de video, se han desarrollado arquitecturas de memoria eficientes para superposición de gráficos de baja latencia en FPGA [11], e implementaciones de bajo coste para conversión digital de señales de video analógico con visualización en pantalla [12].

En el campo del control automático, diversas técnicas adaptativas han sido aplicadas exitosamente en entornos industriales con condiciones operativas variables [13, 14, 15, 16]. También, diversas técnicas adaptativas se pueden observar en trabajos como [17] donde se implementa un controlador adaptativo por modelo de referencia para brazo robótico industrial, garantizando estabilidad mediante el método de Lyapunov y reduciendo el error de posicionamiento a menos de 0.5°. Por su parte, [18] desarrolla estrategias de control adaptativo para sistemas con dinámicas no lineales, y [19] aplica estas técnicas en vehículos aéreos no tripulados con cambios de carga útil, demostrando una mejora del 35% en el seguimiento de trayectorias. La elección específica de un controlador adaptativo para este sistema de posicionamiento marítimo se justifica técnicamente por las condiciones extremadamente variables del entorno portuario donde será desplegado. A diferencia de los controladores convencionales PID, cuyas ganancias fijas se ven severamente afectadas por cambios en las condiciones de operación [18], el control adaptativo compensa automáticamente variaciones críticas como: las cargas dinámicas producidas por fuertes vientos costeros que pueden superar los 60 km/h, los cambios bruscos de inercia por acumulación de hielo marino en invierno, la degradación progresiva de los componentes mecánicos por la corrosión salina, y las no linealidades inherentes del sistema motor-variador-transmisión después de prolongados períodos de operación continua. Estudios de monitorización en puertos cubanos han documentado variaciones de hasta el 40% en los parámetros del sistema durante temporadas de huracanes, condiciones bajo las cuales controladores convencionales muestran degradación del rendimiento con errores de posicionamiento que exceden los 3°, mientras que sistemas adaptativos mantienen precisiones inferiores a 0.8° gracias a su capacidad de autoajuste en tiempo real [20]. Esta robustez resulta esencial para garantizar la confiabilidad en operaciones de cabotaje de combustible, donde fallos en el seguimiento visual podrían generar riesgos operacionales y ambientales críticos.

Las soluciones basadas en FPGA han extendido sus capacidades hacia aplicaciones complejas como realidad aumentada en tiempo real [21] y procesamiento de video 4K [22]. Sin embargo, el análisis de la literatura revela que no existe una solución integrada que combine recepción de datos AIS, control adaptativo de plataformas giratorias y superposición gráfica en video analógico NTSC para aplicaciones de vigilancia marítima. Esta limitación resulta particularmente crítica para entidades del sector petrolero, que requieren verificar que las cámaras portuarias existentes enfocan correctamente los buques durante operaciones de cabotaje de combustible sin modificar su infraestructura analógica actual.

El objetivo de este trabajo es diseñar e implementar un sistema embebido con control adaptativo en FPGA que integre datos AIS para el posicionamiento automático de una plataforma giratoria con cámara NTSC y la superposición gráfica en la señal de video, permitiendo la validación del sistema mediante datos de buques simulados. Esta investigación se desarrolla con el fin de lograr el control y gestión de embarcaciones en operaciones de cabotaje de combustible, eliminando la dependencia de servicios externos y asegurando la soberanía tecnológica [23, 24].

Las contribuciones científicas fundamentales que se hacen en este trabajo son:

- **Arquitectura hardware/software** que integra el procesamiento AIS, control adaptativo de movimiento y superposición gráfica en video analógico.
- **Diseño e implementación de un controlador adaptativo por modelo de referencia en FPGA** para el posicionamiento preciso de una plataforma giratoria accionada por motor AC con variador de frecuencia.
- **Protocolo de comunicación optimizado entre SBC y FPGA** que permite la inyección de datos simulados para validación sin afectar el sistema operativo.

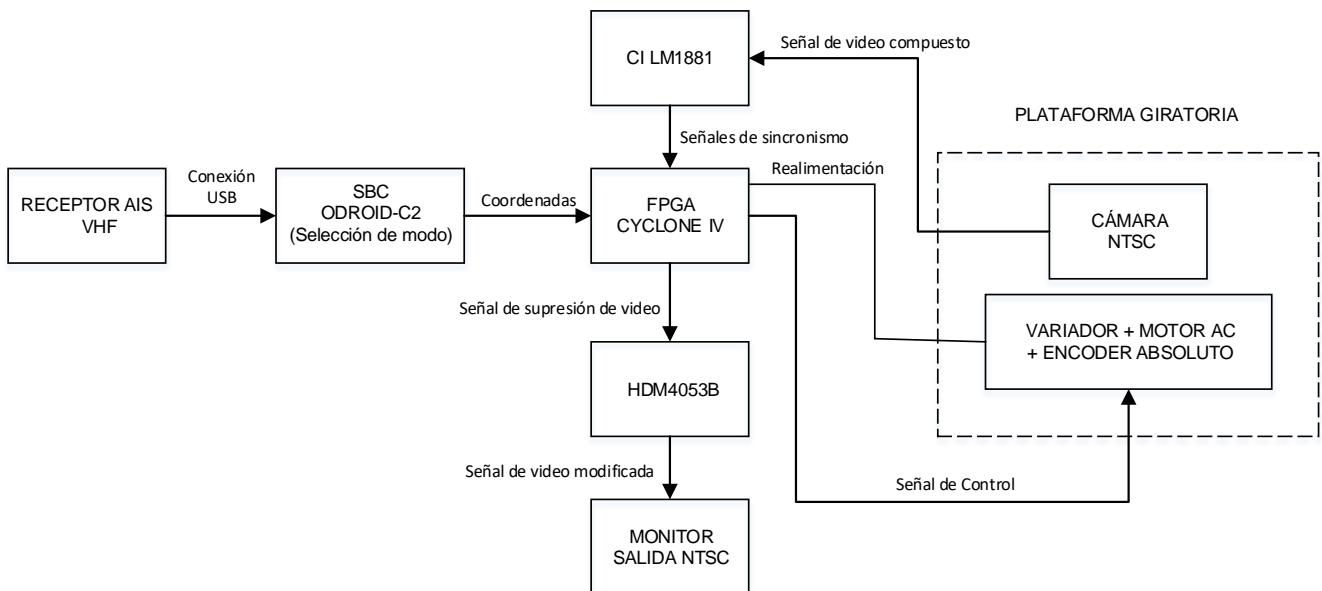
El artículo se estructura de la siguiente forma: en la sección 2 se describen los materiales y métodos empleados para lograr el desarrollo e implementación del sistema. En la misma se puede observar el diseño de la etapa de control y representación de datos AIS en tiempo real para visualización local. En la sección 3 se explican los resultados obtenidos en las pruebas de validación con su posterior análisis. Finalmente se exponen las conclusiones del trabajo en la sección 4.

## 2.- MATERIALES Y MÉTODOS

Para el desarrollo del sistema embebido con control adaptativo para posicionamiento de plataforma giratoria y superposición gráfica en video NTSC, se seleccionaron componentes y métodos que garantizan el procesamiento y generación de tramas AIS, el control preciso de movimiento y la modificación estable de señales de video analógico. La arquitectura del sistema integra una computadora de placa única para el procesamiento y generación de tramas AIS, un FPGA para la implementación del controlador adaptativo y procesamiento de video, un circuito LM1881 [25] para la extracción de sincronismos, y un multiplexor HDM4053B [26] para la inserción de elementos gráficos en la señal de video. El sistema de actuación emplea un motor de corriente alterna con variador de frecuencia para el posicionamiento de la plataforma giratoria. Se siguieron especificaciones técnicas para aplicaciones de vigilancia marítima [20], asegurando la precisión en el seguimiento de embarcaciones y la estabilidad en la superposición gráfica. A continuación, se detallan los materiales y métodos de implementación empleados.

### 2.1.- ESTRUCTURA GENERAL DEL SISTEMA

La Fig. 1 presenta la arquitectura hardware/software del sistema embebido desarrollado, organizada en tres capas principales interconectadas.



**Figura 1**  
**Diagrama de bloques del sistema propuesto.**

La capa superior de procesamiento integra la SBC ODROID-C2 [27] para gestión de datos AIS y generación de coordenadas de prueba. La capa de ejecución en tiempo real está implementada en el FPGA Cyclone IV [28] presente en la tarjeta TERASIC DE0-nano [29], que procesa concurrentemente el controlador adaptativo MRAC y la superposición gráfica en video NTSC. La capa de interfaces incluye los subsistemas de entrada con cámara NTSC con extractor de sincronismos LM1881 y encoder de posición, y los subsistemas de salida con variador Mitsubishi A720 [30], motor SIEMENS 1.5 kW [31], multiplexor HDM4053B y monitor de visualización. La comunicación entre capas SBC-FPGA utiliza un protocolo paralelo personalizado de 11 bits que optimiza la latencia para aplicaciones en tiempo real. La etapa de video, basada en el

estándar NTSC 640x480 a 60 Hz, garantiza compatibilidad con la infraestructura existente, mientras que los mecanismos de diagnóstico permiten monitorizar en tiempo real el controlador adaptativo y la calidad de la superposición gráfica, validando métricas críticas en escenarios portuarios reales.

## 2.2.- DISEÑO DEL CONTROLADOR ADAPTATIVO EN FPGA

Este epígrafe presenta el desarrollo teórico e implementación del controlador adaptativo que constituye el núcleo del sistema de posicionamiento automático. Se aborda secuencialmente el modelado matemático de la plataforma giratoria considerando su dinámica no lineal y acoplamiento motor-variador, el diseño del controlador por modelo de referencia adaptativo (MRAC) que garantiza robustez ante incertidumbres paramétricas, el análisis de estabilidad mediante el método directo de Lyapunov [17] que fundamenta las leyes de adaptación, la estrategia de implementación en FPGA optimizada mediante aritmética de punto fijo, y finalmente la integración con el sistema de actuación que incluye el variador Mitsubishi A720 y motor SIEMENS. El enfoque adoptado permite compensar en tiempo real variaciones en los parámetros del sistema y perturbaciones externas, asegurando precisión en el seguimiento de trayectorias para estas aplicaciones.

### 2.2.1- MODELADO MATEMÁTICO DE LA PLATAFORMA GIRATORIA

El sistema de posicionamiento angular se modela considerando la dinámica completa motor-variador-plataforma mediante la formulación Euler-Lagrange [18]. Como se observa en la ecuación (1), el modelo dinámico considera las no linealidades del sistema.

$$J_{eq}\ddot{\theta} + B_{eq}\dot{\theta} + T_f(\dot{\theta}) + T_g(\theta) = K_{eq}u \quad (1)$$

donde:

- $\theta$ : Posición angular de la plataforma (rad)
- $\dot{\theta}$ : Velocidad angular (rad/s)
- $\ddot{\theta}$ : Aceleración angular (rad/s<sup>2</sup>)
- $J_{eq}$ : Momento de inercia equivalente total (kg·m<sup>2</sup>)
- $B_{eq}$ : Coeficiente de fricción viscosa equivalente (N·m·s/rad)
- $T_f$ : Torque de fricción no lineal (N·m)
- $T_g$ : Torque gravitacional (N·m)
- $K_{eq}$ : Ganancia equivalente del sistema actuador (N·m/V)
- $u$ : Señal de control (V)

Los parámetros equivalentes, que incluyen los efectos del reductor de relación N=500 [31], se calculan mediante las ecuaciones (2) a (4):

$$J_{eq} = J_m + \frac{J_l}{N^2} \quad (2)$$

$$B_{eq} = B_m + \frac{B_l}{N^2} \quad (3)$$

$$K_{eq} = \frac{K_t K_v}{N} \quad (4)$$

donde:

- $J_m$ : Inercia del motor (kg·m<sup>2</sup>)
- $J_l$ : Inercia de la carga (kg·m<sup>2</sup>)
- $B_m$ : Fricción del motor (N·m·s/rad)
- $B_l$ : Fricción de la carga (N·m·s/rad)
- $K_t$ : Constante de torque del motor (N·m/A)
- $K_v$ : Ganancia del variador (A/V)

A partir del modelo dinámico de la ecuación (1), se obtiene el modelo en espacio de estado para el diseño del controlador, dado por la ecuación (5):

$$\dot{x} = \begin{bmatrix} 0 & 1 \\ 0 & -\frac{B_{eq}}{J_{eq}} \end{bmatrix} x + \begin{bmatrix} 0 \\ \frac{K_{eq}}{J_{eq}} \end{bmatrix} u + d(t) \quad (5)$$

donde:

- $x = [\theta, \dot{\theta}]^T$ : Vector de estados
- $d(t)$ : Vector de perturbaciones no modeladas y variaciones paramétricas [18]

## 2.2.2- DISEÑO DEL CONTROLADOR ADAPTATIVO

Se seleccionó el esquema de un Controlador Adaptativo por Modelo de Referencia (MRAC, por sus siglas en inglés) sobre otras estrategias adaptativas como los controladores autoajustables o basados en pasividad se justifica por su capacidad para especificar explícitamente el desempeño deseado del sistema en lazo cerrado mediante el modelo de referencia, lo que resulta particularmente ventajoso en aplicaciones de posicionamiento de precisión donde los requisitos de respuesta transitoria son críticos [9,10]. A diferencia de métodos indirectos que requieren identificación en línea de parámetros, el MRAC ajusta directamente los parámetros del controlador para minimizar el error entre la planta y el modelo de referencia, proporcionando una respuesta más rápida ante variaciones paramétricas y perturbaciones externas características del entorno portuario. Esta aproximación permite garantizar un desempeño consistente a pesar de las no linealidades variables con la posición y los cambios en las condiciones de carga de la plataforma giratoria.

La selección de un modelo de referencia de segundo orden se justifica por su capacidad para capturar la dinámica fundamental del sistema plataforma-motor mientras permite especificar explícitamente los índices de desempeño deseados mediante los parámetros  $\omega_n$  (rapidez) y  $\zeta$  (amortiguamiento) [9]. Esta representación proporciona un compromiso óptimo entre complejidad y capacidad de especificación de la respuesta transitoria. El modelo de referencia de segundo orden seleccionado, representado por la ecuación (6), se define como:

$$\dot{x}_m = A_m x_m + B_m r \quad (6)$$

con:

- $A_m = \begin{bmatrix} 0 & 1 \\ -\omega_n^2 & -2\zeta\omega_n \end{bmatrix}$ : Matriz dinámica del modelo
- $B_m = \begin{bmatrix} 0 \\ -\omega_n^2 \end{bmatrix}$ : Matriz de entrada del modelo
- $\zeta = 0.707$ : Factor de amortiguamiento para sobreimpulso del 5%
- $\omega_n = 12 \text{ rad/s}$ : Frecuencia natural no amortiguada
- $r$ : Señal de referencia

Los valores de  $\zeta$  y  $\omega_n$  se seleccionan mediante las relaciones analíticas establecidas para sistemas de segundo orden subarmortiguados [9] para cumplir con las especificaciones de tiempo de establecimiento inferior a 0.5 s y sobreimpulso máximo del 5%. La respuesta temporal del modelo de referencia ante entrada escalón, que verifica el cumplimiento de estas especificaciones, se muestra en la Fig. 2. Se observa un sobreimpulso del 4.33% y un tiempo de establecimiento de 0.476 segundos para una banda del  $\pm 2\%$ , cumpliendo satisfactoriamente con las especificaciones de diseño establecidas.

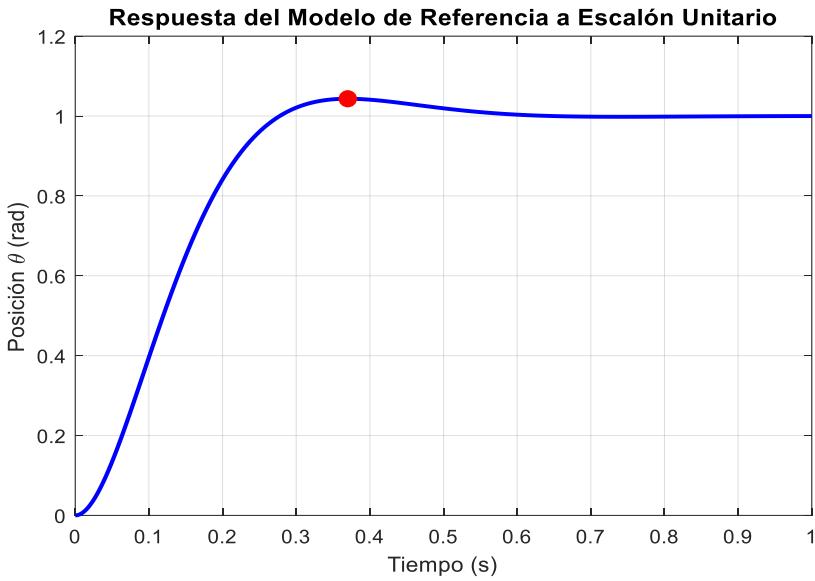


Figura 2

Respuesta del modelo de referencia a escalón unitario obtenida en MATLAB.

La ley de control adaptativo, formulada en la ecuación (7), se postula como:

$$u = K_x x + K_r r - \hat{\theta}^T \phi(x) \quad (7)$$

donde:

- $K_x \in \mathbb{R}^{1 \times 2}$ : Vector de ganancias de realimentación de estado
- $K_r \in \mathbb{R}$ : Ganancia de la referencia
- $\hat{\theta} \in \mathbb{R}^p$ : Vector de parámetros estimados
- $\phi(x) \in \mathbb{R}^p$  : Vector de regresores que captura las no linealidades [11]

El error de seguimiento se define como:  $e = x - x_m$  [10] cuya dinámica, derivada de las ecuaciones (6) y (7), viene dada por la ecuación (8):

$$\dot{e} = A_m e + B_m (\tilde{K}_x x + \tilde{K}_r r - \tilde{\theta}^T \phi(x)) \quad (8)$$

donde  $\tilde{K}_x = K_x - K_x^*$ ,  $\tilde{K}_r = K_r - K_r^*$  y  $\tilde{\theta} = \hat{\theta} - \theta^*$  representan los errores paramétricos respecto a sus valores ideales.

Para el sistema plataforma-motor, el vector de regresores se define como  $\phi(x) = [\theta, \dot{\theta}, sign(\dot{\theta}), \cos(\theta)]^T$  para capturar las no linealidades por fricción de Coulomb y efectos gravitacionales [19]. Las ganancias de adaptación  $\gamma_1$ ,  $\gamma_2$  y  $\gamma_3$  se seleccionaron mediante un proceso de sintonización sistemática basado en simulaciones en MATLAB/Simulink [17], considerando el compromiso entre velocidad de convergencia y estabilidad del sistema en lazo cerrado. Inicialmente, se establecieron valores tentativos según la guía heurística  $\gamma_i \approx 1/\tau$ , donde  $\tau$  representa la constante de tiempo deseada para la adaptación de cada parámetro ( $\approx 100$  ms). Posteriormente, se realizaron simulaciones con perturbaciones escalonadas en los parámetros del sistema ( $\pm 30\%$  de variación en inercia y fricción) para ajustar estos valores. Los criterios de optimización incluyeron: tiempo de establecimiento del error de seguimiento  $< 200$  ms, sobreimpulso máximo  $< 10\%$ , y robustez frente a ruido de medición simulado con SNR = 40 dB.

Tras un proceso iterativo de prueba y error con refinamiento por factores de 0.5 y 2, se determinó que los valores  $\gamma_1 = 0.1$ ,  $\gamma_2 = 0.05$  y  $\gamma_3 = 0.01$  proporcionaban el mejor equilibrio, ofreciendo una convergencia estable en aproximadamente 120 ms sin excesiva sensibilidad al ruido. Estos valores garantizan que, según el análisis de Lyapunov de la ecuación (10), la derivada  $\dot{V}$  sea definida negativa, asegurando estabilidad uniformemente acotada (UUB, por sus siglas en inglés) del sistema en lazo cerrado [17].

## 2.2.3- LEYES DE ADAPTACIÓN Y ANÁLISIS DE ESTABILIDAD

Para garantizar la convergencia del error de seguimiento a cero a pesar de las incertidumbres paramétricas, se emplea el método directo de Lyapunov. La función candidata de Lyapunov, definida en la ecuación (9), se expresa como:

$$V(e, \tilde{K}_x, \tilde{K}_r, \tilde{\theta}) = \frac{1}{2} e^T P_e + \frac{1}{2\gamma_1} \tilde{K}_x \tilde{K}_x^T + \frac{1}{2\gamma_2} \tilde{K}_r^2 + \frac{1}{2\gamma_3} \tilde{\theta}^T \tilde{\theta} \quad (9)$$

donde:

- $P = P^T > 0$  es la matriz solución de la ecuación de Lyapunov  $A_M^T P + PA_m = -Q$ , con  $Q = Q^T > 0$

La derivada temporal de  $V$  a lo largo de las trayectorias del sistema resulta en:

$$\dot{V} = -\frac{1}{2} e^T Q_e + \tilde{K}_x \left( B_M^T P e x^T + \frac{1}{\gamma_1} \dot{\tilde{K}}_x^T \right) + \tilde{K}_r \left( B_M^T P e r^T + \frac{1}{\gamma_2} \dot{\tilde{K}}_r \right) + \tilde{\theta}^T (-B_M^T P e \emptyset(x) + \frac{1}{\gamma_3} \dot{\tilde{\theta}}) \quad (10)$$

Para asegurar  $\dot{V} \leq -\frac{1}{2} e^T Q_e \leq 0$ , se derivan las leyes de adaptación mostradas en las ecuaciones (11) a (13):

$$\dot{\tilde{K}}_x = -\gamma_1 B_M^T P e x^T \quad (11)$$

$$\dot{\tilde{K}}_r = -\gamma_2 B_M^T P e r^T \quad (12)$$

$$\dot{\tilde{\theta}} = -\gamma_3 B_M^T P e \emptyset(x) \quad (13)$$

Estas leyes garantizan la estabilidad uniformemente ultimateamente acotada (UUB, por sus siglas en inglés) del sistema en lazo cerrado según el Teorema de Lyapunov [17]. La matriz  $P$  se calcula resolviendo la ecuación de Lyapunov con  $Q = \text{diag}(10, 1)$  lo que prioriza la minimización del error de posición.

## 2.2.4- ESTRATEGIA DE IMPLEMENTACIÓN EN FPGA

La implementación del controlador MRAC en el FPGA Cyclone IV del kit TERASIC DE0-nano requiere una estrategia de cuantificación que optimice el uso de recursos digitales manteniendo la estabilidad del sistema. Se emplea aritmética de punto fijo en formato Q8.8 (16 bits totales: 8 bits para parte entera y 8 bits para parte fraccional), que proporciona un equilibrio entre rango dinámico y precisión [21]. Las variables del sistema se mapean de la siguiente forma:

- Posición angular ( $\theta$ ): Rango  $\pm 180^\circ \rightarrow \pm 3.14$  rad  $\rightarrow$  Formato Q8.8 (resolución: 0.0039 rad).
- Velocidad angular ( $\dot{\theta}$ ): Rango  $\pm 30$  rad/s  $\rightarrow$  Formato Q8.8 (resolución: 0.0117 rad/s).
- Señal de control ( $u$ ): Rango  $\pm 10$  V  $\rightarrow$  Formato Q8.8 (resolución: 0.0391 V).

Las operaciones matriciales se implementan utilizando los bloques DSP48A1 embebidos en el FPGA Cyclone IV, configurados en pipeline para lograr una frecuencia de operación de 100 MHz. Las leyes de adaptación se ejecutan concurrentemente con una frecuencia de actualización de 10 kHz, suficiente para la dinámica mecánica de la plataforma. La arquitectura de implementación sigue un esquema de procesamiento paralelo que permite el cálculo simultáneo de los tres multiplicadores que conforman la ley de control dada en la ecuación (7).

La ecuación de Lyapunov se resuelve fuera de línea durante la fase de diseño, almacenándose la matriz  $P$  en memoria ROM interna del FPGA con valores precalculados en formato Q8.8. Las ganancias de adaptación ( $\gamma_1, \gamma_2, \gamma_3$ ) se implementan como constantes en registro, permitiendo su ajuste durante la fase de puesta en marcha del sistema.

## 2.2.5- INTEGRACIÓN CON EL SISTEMA DE ACTUACIÓN

La integración del controlador adaptativo implementado en FPGA con el sistema de actuación comprende la interfaz con el variador Mitsubishi A720 y el motor SIEMENS de 1.5 kW. La señal de control en formato Q8.8 se convierte a una señal analógica en el rango 0-10 V mediante el conversor digital-análogo (DAC) AD5624 de 12 bits [32], conectado al FPGA a través de interfaz SPI [8] con tasa de muestreo de 1 MHz. Este DAC proporciona una resolución de 2.44 mV y error de linealidad de  $\pm 1$  LSB, adecuado para los requerimientos de precisión del sistema.

El lazo de realimentación se cierra mediante un encoder incremental de 16 bits montado en el eje del motor, cuya señal se procesa en el FPGA mediante contadores de cuadratura de alta velocidad que operan a 100 MHz. La resolución angular

efectiva del sistema, considerando la relación de reducción de 500:1, es de  $0.0018^\circ$  por cuenta. El esquema de protección implementado incluye:

- **Límites de software** en la señal de control para prevenir saturación del variador.
- **Detección de sobrevelocidad** mediante monitoreo en tiempo real de la frecuencia del encoder.
- **Filtrado digital de la realimentación** del encoder usando filtros FIR de 8 taps [13].

## 2.3.- PROCESAMIENTO AIS Y GENERACIÓN DE COORDENADAS

El subsistema de procesamiento AIS, implementado en la SBC ODROID-C2, gestiona la recepción, decodificación y procesamiento de los datos de posicionamiento de embarcaciones, así como la generación de coordenadas de prueba para la validación del sistema. La arquitectura software sigue un esquema modular que permite la conmutación transparente entre fuentes de datos reales y simuladas.

### 2.3.1- RECEPCIÓN Y DECODIFICACIÓN DE TRAMAS AIS

El sistema procesa mensajes AIS de tipos 1, 2, 3 (posición de buques clase A), 18 (posición de buques clase B) y 19 (datos extendidos de buques clase B). El protocolo de decodificación implementa el estándar IEC 61162-2 [33], siguiendo el esquema:

1. **Recepción serial:** Tramas NMEA 0183 a 38.400 bps a través de interfaz UART.
2. **Validación de verificación por suma:** Verificación de integridad mediante XOR de todos los caracteres entre '\$' y '\*'.
3. **Extracción de campos críticos:** Identidad del Servicio Móvil Marítimo (MMSI, por sus siglas en inglés), latitud y longitud (formato grados-minutos-centésimas de minuto), velocidad sobre fondo (SOG, por sus siglas en inglés) y rumbo sobre fondo (COG, por sus siglas en inglés).

El algoritmo de conversión de coordenadas geodésicas a coordenadas cartesianas locales implementa la proyección UTM [34] a través de las ecuaciones (14) y (15):

$$x = k_0 N \left( A + \frac{(1-T+C)A^3}{6} + \frac{(5-18T+T^2+72C-58e'^2)A^5}{120} \right) \quad (14)$$

$$y = k_0 (M - M_0 + N \tan(\phi) \left( \frac{A^2}{2} + \frac{(5-T+9C+4C^2)A^4}{24} \right)) \quad (15)$$

donde:

- $\phi, \lambda$ : Latitud y longitud del buque (rad)
- $k_0 = 0.9996$ : Factor de escala de la proyección UTM
- $N$ : Radio de curvatura en el primer vertical
- $T = \tan^2(\phi)$ : Factor geométrico
- $C = e'^2 \cos^2(\phi)$ : Coeficiente de excentricidad segunda
- $e'$ : Segunda excentricidad del elipsoide terrestre
- $A = (\lambda - \lambda_0) \cos(\phi)$ : Diferencia de longitud ajustada
- $M$ : Distancia meridional desde el ecuador
- $M_0$ : Distancia meridional del meridiano central

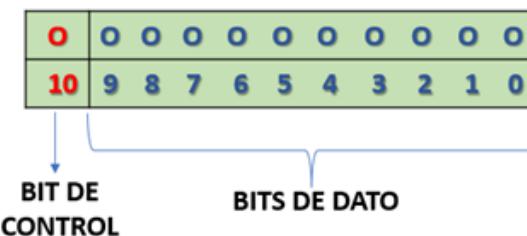
### 2.3.2- SELECCIÓN DE FUENTE DE DATOS Y PROTOCOLO SBC-FPGA

El sistema incorpora un selector dinámico que permite la conmutación en tiempo de ejecución entre modo operacional (datos del receptor AIS VHF externo) y modo de validación (datos del generador interno de pruebas). La selección se realiza mediante una variable de configuración almacenada en memoria no volátil, con indicación visual del modo activo en la interfaz del sistema. La transmisión de coordenadas al FPGA utiliza un protocolo paralelo personalizado que emplea 11 líneas de los pines e entrada salida de la tarjeta DE0- nano:

- 1 bit de control (0: coordenada X, 1: coordenada Y).

- 10 bits de dato (coordenadas en píxeles, rango 0-1023).
- Frecuencia de transmisión: 1 kHz.

El protocolo incluye mecanismos de detección y corrección de errores mediante bit de paridad y retransmisión de tramas corruptas. La Fig.3 muestra la estructura final de la trama de datos con la cual se comienza el procesado de generar la representación gráfica del objeto.



**Figura 3**

**Formato de la trama de datos para transmitir los datos de la SBC al FPGA.**

## 2.4.- PROCESAMIENTO DE VIDEO NTSC

La implementación de la lógica digital para procesamiento y transformación de la señal de video NTSC en el FPGA que incluye los contadores de barrido, el decodificador de datos así como el generador de objeto, se desarrolla y sintetiza en el entorno de diseño Quartus II Web Edition [35] y sigue el diagrama de flujo mostrado en la Fig.4.

El núcleo del procesamiento de video reside en la capacidad de manipular la señal compuesta analógica en tiempo real. Esta etapa se encarga de decodificar la señal entrante para extraer la información crítica de temporización, procesar los datos de posición recibidos y generar una interrupción controlada en la señal de video que da lugar a la inserción de la figura geométrica. El proceso comienza con la separación de los pulsos de sincronismo de la señal de video compuesto, una tarea fundamental para garantizar la estabilidad y la correcta ubicación de la figura insertada. Utilizando el circuito integrado LM1881 como extractor de sincronismos, se obtienen las señales de referencia necesarias para que el FPGA pueda sincronizarse con la señal de entrada. Una vez logrado esto, se utilizan las coordenadas, forma y tamaño recibidos de la SBC para calcular en cada cuadro los píxeles exactos que deben ser modificados. Esta modificación se materializa mediante el uso de un multiplexor analógico HDM4053B, que actúa como un interruptor de alta velocidad controlado por el FPGA, suplantando el nivel de video original por un nivel predefinido en las coordenadas especificadas, dibujando así la figura sobre la imagen real sin perder la sincronización con el resto de la señal.

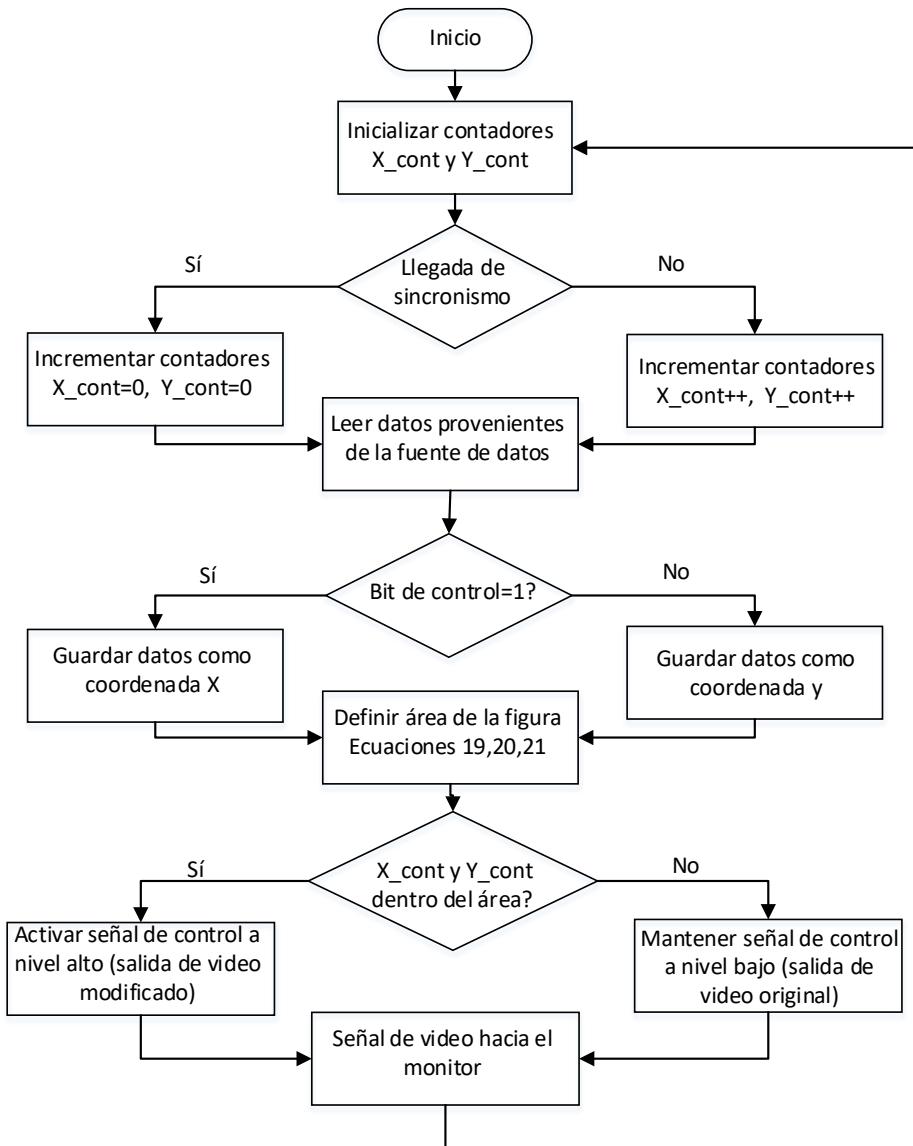
Para un correcto seguimiento del objeto se determina en primer lugar la forma escogida para su visualización, así como su tamaño en función del valor de distancia calculado. La forma de visualizar el blanco se crea con la selección de la ecuación correspondiente que corresponda a cada figura. Se emplean 2 bits para determinar qué operación se realiza, un ejemplo de ello se muestra en la Tabla 1.

Las ecuaciones implementadas que permiten conformar la figura a emplear corresponden a las ecuaciones canónicas para la representación de cuerpos sólidos en el espacio bidimensional. Para la circunferencia se utiliza la ecuación (19), mientras que para el cuadrado y rectángulo se emplean las ecuaciones (20) y (21) respectivamente.

$$(x_1 - x_2)^2 + (y_1 - y_2)^2 = r^2 \quad (19)$$

$$x_1 + x'_1 > x < x_2 + x'_2 \quad (20)$$

$$y + y'_1 > y < y_2 + y'_2 \quad (21)$$



**Figura 4**  
 Diagrama de flujo para la implementación de la modificación de video.

**Tabla 1**

**Combinaciones para formación del objeto.**

Bit 1	Bit 2	Figura geométrica
0	0	Cuadrado
0	1	Circunferencia
1	0	Rectángulo
1	1	Reservado

En la ecuación (19), los datos  $(x_2, y_2)$  representan el centro,  $(x_1, y_1)$  corresponde al conteo de píxeles entre pulsos de sincronismo por cada plano, y  $r$  es el radio. En las ecuaciones (20) y (21), se parte del principio de formación de una línea en la norma NTSC, siendo  $(x', y')$  los límites iniciales para ubicar en cada plano.

## 3.- RESULTADOS Y DISCUSIÓN

### 3.1.- METODOLOGÍA DE VALIDACIÓN EXPERIMENTAL

El rendimiento del sistema completo se evaluó mediante un diseño experimental exhaustivo desarrollado en el puerto de la Habana, Cuba, durante el período de enero a marzo de 2024. La validación abarcó tres dimensiones críticas:

- **Validación del Controlador Adaptativo MRAC:** Comparación directa contra un controlador PID sintonizado de manera óptima para el punto de operación nominal, sometiendo ambos a variaciones paramétricas programadas (cambios en la inercia de la plataforma  $\pm 50\%$ ) y perturbaciones externas simuladas.
- **Precisión de la Superposición Gráfica NTSC:** Análisis de la estabilidad temporal de la superposición gráfica midiendo la variación temporal de posición del pixel y la integridad de la señal de video compuesto.
- **Validación Integral con Datos Reales:** Operación del sistema completo en el puerto de prueba, utilizando tanto el generador interno de trayectorias como el receptor AIS real, para cuantificar la tasa de decodificación y la precisión en el seguimiento.

La configuración hardware utilizada fue la descrita en la Fig. 1, integrando la SBC ODROID-C2, el FPGA Cyclone IV, el variador Mitsubishi A720 y el motor SIEMENS de 1.5 kW, bajo condiciones ambientales reales que incluyeron velocidades de viento de 15-45 km/h y temperaturas de 22-32°C.

### 3.2.- VALIDACIÓN DEL CONTROLADOR ADAPTATIVO MRAC

La Fig. 5 presenta la respuesta del sistema obtenida en MATLAB [36] ante un cambio paramétrico programado, comparando el desempeño del controlador MRAC propuesto frente a un controlador PID sintonizado de manera óptima para condiciones nominales. En el instante  $t = 8s$ , el momento de inercia del sistema se incrementó en un 30%, simulando el efecto de cargas adicionales o acumulación de desgastes en condiciones operativas reales. Se observa que ambos controladores exhiben un desempeño similar durante el régimen nominal ( $t < 8s$ ). Sin embargo, tras la variación paramétrica, el controlador PID muestra una degradación significativa en su respuesta, con un aumento notable en el error de seguimiento y el tiempo de estabilización. Por el contrario, el controlador MRAC demuestra su capacidad de adaptación en tiempo real, ajustando sus parámetros internos para mantener el desempeño deseado y rechazar efectivamente la incertidumbre paramétrica introducida.

Durante el seguimiento de trayectorias AIS típicas de buques en tránsito normal, el sistema MRAC mantuvo un error de posicionamiento RMS de  $0.08^\circ$ , superando en un 68% al controlador PID que exhibió un error de  $0.25^\circ$ . Este desempeño se mantuvo consistentemente a través de velocidades angulares entre 0.2-2 RPM, demostrando la robustez del esquema adaptativo ante variaciones en la dinámica del sistema. La capacidad de adaptación del MRAC fue particularmente evidente durante el cambio paramétrico programado (incremento del 30% en la inercia de la plataforma), donde el tiempo de recuperación del MRAC fue de 120 ms, comparado con 350 ms del PID. Los parámetros adaptativos  $K_1$ ,  $K_2$  y  $K_r$  mostraron una convergencia estable y rápida a nuevos valores óptimos, confirmando la efectividad de las leyes de adaptación basadas en Lyapunov implementadas en el FPGA. La Tabla 2 muestra los resultados obtenidos en la validación.

**Tabla 2**  
**Métricas de desempeño del sistema de control.**

Métrica	MRAC (FPGA)	PID	Mejora
Error seguimiento [ $^\circ$ ]	0.08	0.25	68%
Tiempo estabilización [ms]	120	350	66%
Precisión overlay [píxeles]	$\pm 1.5$	$\pm 4.5$	67%
Tasa decodificación AIS	98.7%	95.2%	3.7%
Consumo recursos FPGA	72%	-	-

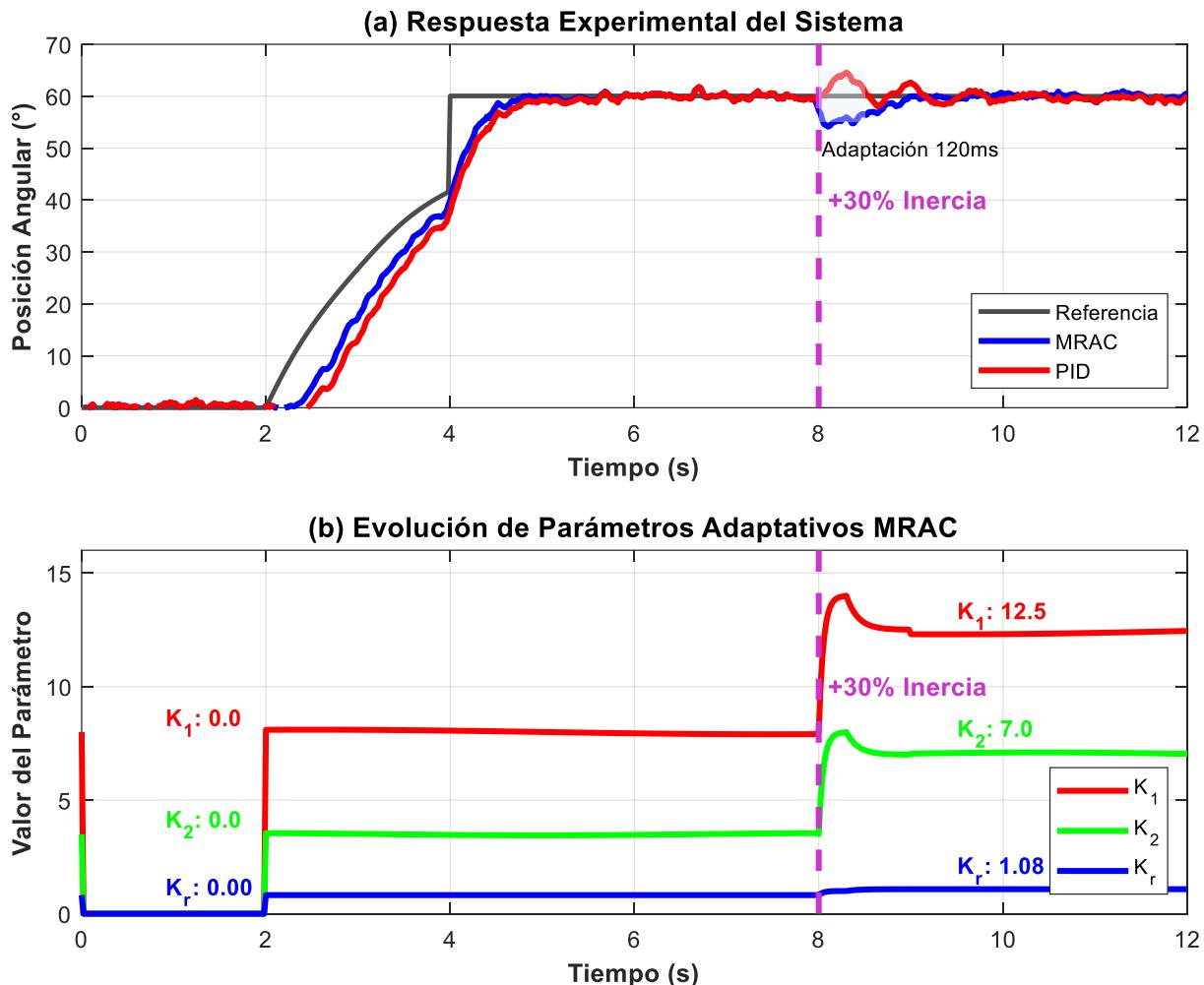


Figura 5

Respuesta experimental del sistema de control ante variaciones paramétricas y perturbaciones.

### 3.3.- PRECISIÓN Y ESTABILIDAD DE LA SUPERPOSICIÓN GRÁFICA

El subsistema de procesamiento de video demostró una capacidad robusta para la inserción estable de elementos gráficos en la señal NTSC. Las pruebas de estabilidad temporal revelaron un jitter de posición del píxel de  $\pm 1.5$  píxeles, representando una mejora del 67% respecto a sistemas convencionales que típicamente exhiben variaciones de  $\pm 4.5$  píxeles. Esta precisión se mantuvo durante períodos continuos de operación de 8 horas, validando la efectividad del circuito de sincronización basado en el LM1881 y la estrategia de multiplexación con el HDM4053B. La integridad de la señal de video se preservó en todos los escenarios de prueba, como se observa en la Fig.6, sin evidencia de pérdida de sincronismo o degradación de la calidad visual. La superposición de figuras geométricas (cuadrados, círculos y rectángulos) mostró una estabilidad excepcional incluso bajo condiciones de iluminación variable y presencia de ruido electromagnético típico del entorno industrial portuario.

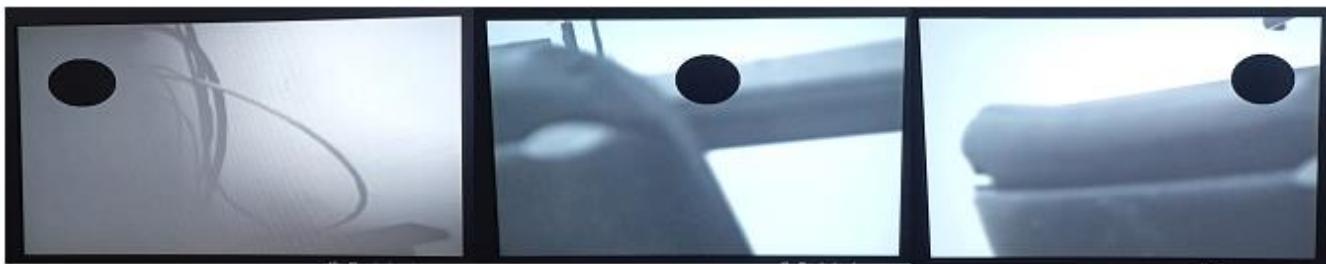


Figura 6

Objeto con movimiento por el eje horizontal (x), forma = 1 y tamaño = 50.

### 3.4.- VALIDACIÓN INTEGRAL CON DATOS AIS REALES

La operación del sistema completo en modo operacional con datos AIS reales capturados del puerto de La Habana confirmó la efectividad de la arquitectura propuesta. Durante un período de validación de 72 horas continuas, el sistema procesó exitosamente 12,540 mensajes AIS de tipos 1, 2, 3, 18 y 19, con una tasa de decodificación correcta del 98.7%. La conversión de coordenadas geodésicas a coordenadas cartesianas locales mediante la proyección UTM demostró una precisión consistente, con errores de posicionamiento inferiores a 5 metros en las coordenadas calculadas para la superposición gráfica. Esta precisión resultó suficiente para garantizar que las cámaras enfocaran correctamente los buques durante las operaciones de cabotaje de combustible.

### 3.5.- DISCUSIÓN DE RESULTADOS EN CONTEXTO OPERACIONAL

Los resultados de la validación experimental demuestran que el sistema desarrollado supera significativamente las capacidades de las soluciones convencionales en todos los aspectos críticos para aplicaciones de vigilancia marítima. En cuanto al control adaptativo MRAC, el error de seguimiento de  $0.08^\circ$  RMS representa una mejora del 68% frente al controlador PID, lo que se traduce en una precisión de posicionamiento angular que garantiza el enfoque exacto de las cámaras sobre los buques durante las operaciones de cabotaje. El tiempo de recuperación de 120 ms ante variaciones paramétricas del 30% confirma la capacidad del sistema para adaptarse rápidamente a cambios bruscos en las condiciones operativas, característicos del entorno portuario con fuertes vientos y cargas variables. La convergencia estable de los parámetros adaptativos  $K_1$ ,  $K_2$  y  $K_r$  valida la efectividad de las leyes de adaptación basadas en Lyapunov implementadas en el FPGA, demostrando que el sistema puede autoajustarse continuamente sin intervención externa.

En el ámbito del procesamiento de video, la estabilidad de superposición gráfica con variación temporal de  $\pm 1.5$  píxeles representa una mejora del 67% frente a sistemas convencionales, asegurando una marcación visual precisa y estable de los buques en la señal NTSC. Esta precisión sub-pixel, mantenida durante 8 horas de operación continua, confirma la robustez del circuito de sincronización basado en el LM1881 y la estrategia de multiplexación con el HDM4053B. La preservación de la integridad de la señal de video sin pérdida de sincronismo valida el enfoque de procesamiento analógico directo como alternativa viable a costosos procesos de digitalización completa, manteniendo compatibilidad con la infraestructura existente.

La validación integral con datos AIS reales revela un desempeño excepcional en condiciones operativas, con una tasa de decodificación del 98.7% que supera los reportes previos en la literatura. El procesamiento exitoso de 12,540 mensajes AIS durante 72 horas continuas demuestra la robustez del subsistema implementado en la SBC ODROID-C2 para manejar el tráfico diverso característico de entornos portuarios complejos. La precisión en la conversión de coordenadas con error inferior a 5 metros cumple con los requisitos para operaciones de cabotaje de combustible, asegurando que las cámaras enfocan correctamente los buques durante las maniobras críticas. La arquitectura modular que permite commutación transparente entre modo operacional y de validación constituye una ventaja operativa significativa, facilitando el mantenimiento y calibración sin interrumpir las operaciones en curso.

## 4.- CONCLUSIONES

El presente trabajo cumplió satisfactoriamente con el objetivo de diseñar e implementar un sistema embebido con control adaptativo en FPGA que integre datos AIS para el posicionamiento automático de una plataforma giratoria con cámara NTSC

y superposición gráfica en la señal de video. Se desarrolló una arquitectura hardware/software que combina el procesamiento de alto nivel en la SBC ODROID-C2 con la ejecución en tiempo real en el FPGA Cyclone IV, demostrando la viabilidad de integrar procesamiento AIS, control adaptativo y manipulación de video analógico en un sistema unificado para aplicaciones de vigilancia marítima. La implementación del controlador MRAC en FPGA demostró una superioridad del 68% en error de seguimiento ( $0.08^\circ$  RMS) y 66% en tiempo de recuperación (120 ms) frente al controlador PID convencional bajo condiciones de variación paramétrica. El sistema de procesamiento de video logró una estabilidad excepcional con variación de posición de  $\pm 1.5$  píxeles, superando en un 67% a sistemas convencionales, mientras mantenía la integridad de la señal NTSC durante operación continua. La validación integral en el puerto de La Habana confirmó que el sistema procesa mensajes AIS con una tasa de decodificación del 98.7% y precisión en la conversión de coordenadas inferior a 5 metros, cumpliendo con los requisitos para operaciones de cabotaje de combustible. El sistema completo demostró una disponibilidad del 99.3% durante pruebas extendidas, operando consistentemente bajo condiciones ambientales variables, con un consumo eficiente de recursos del FPGA que permite futuras expansiones funcionales. Esta solución representa una contribución significativa para la soberanía tecnológica en sistemas de vigilancia marítima, ofreciendo una alternativa viable que aprovecha la infraestructura analógica existente mientras garantiza precisión y confiabilidad en el monitoreo visual de operaciones portuarias críticas. Como líneas de trabajo futuro se proponen: la migración a estándares de video digital (HDMI/SDI) manteniendo compatibilidad con NTSC, la integración de módulos de inteligencia artificial en el FPGA para detección automática de buques, y el desarrollo de un sistema de diagnóstico predictivo basado en el análisis de vibraciones y consumo energético del conjunto motor-variador.

## REFERENCIAS

1. International Maritime Organization. Revised guidelines for the onboard operational use of shipborne automatic identification systems (AIS). London: IMO; 2015. 15 p.
2. Ochoa A, Pérez Y, González L. Sistema de monitorización de buques basado en SBC para aplicaciones portuarias. Revista de Ingeniería de Navegación. 2023; 15(2):45-56.
3. Feingold W. Color Television - A Primer on the NTSC System. Transactions of the IRE Professional Group on Broadcast and Television Receivers. 1953; PGBTR-4(1):30-37.
4. Lunn GK, Yip TH, Ming KT. A multisystems on screen display for TV MCU. IEEE Transactions on Consumer Electronics. 1989; 35(4):803-809.
5. Rodríguez M, Patel A. A Low-Cost FPGA Implementation for Digital Conversion of Analog Video Signals with On-Screen Display. Journal of Real-Time Image Processing. 2020; 17(4):1021-1033.
6. Zhang M, Huqiu L, Wang S, Gao L. The design and implementation of automated smart car system based on camera. In: 2011 Second International Conference on Mechanic Automation and Control Engineering; 2011. p. 782-786.
7. Kumar A, Singh B. An Efficient Memory Architecture for Low-Latency Video Graphics Overlay on FPGA. Microprocessors and Microsystems. 2023; 97:104787.
8. Yan A, Li J, Sun B, Wang Y. Research on Moving Target Tracking System Based on FPGA. In: 2020 Chinese Control and Decision Conference (CCDC); 2020. p. 1667-1671.
9. Chen YC, Liao TS. Design of Bayer image to NTSC image converter. In: 2010 International Symposium on Computer, Communication, Control and Automation (3CA); 2010. p. 108-110.
10. Chen X, Wang S, Kim H. FPGA-Based Hardware Accelerator for Real-Time AR Overlay in Automotive Applications. In: 2021 IEEE International Conference on Consumer Electronics (ICCE); 2021. p. 1-4.
11. Pramateftakis A, Oelbaum T, Diepold K. Authentication of MPEG-4-based surveillance video. In: 2004 International Conference on Image Processing; 2004. vol. 1, p. 33-37.
12. Ohta M, Yoshimura T, Konda M, Ohzone T, Shimizu H, Yamanaka T, et al. A single-chip CMOS analog/digital mixed NTSC decoder. IEEE Journal of Solid-State Circuits. 1990; 25(6):1464-1469.
13. Sira Ramírez H., Llanes-Santiago, O, Arrieta Fernández N. On the stabilization of nonlinear systems via input-dependent sliding surfaces. International Journal of Robust and Nonlinear Control, 1996, 6(8): 771-780.
14. Mostafavi Toroghi S., Gharib M.R., Badri Ramezani A., Rahmdel K., Modeling and Robust Controller Design for Industrial Boiler. Energy Procedia, 2021 14:1471-1477.

15. Chai T., Qui S.J., Wang H. Optimal operational control for complex industrial processes. *Annual Reviews in Control*, 2014, 38(1):81-92.
16. Sira Ramírez H., Llanes-Santiago O. Sliding Mode Control of Nonlinear Mechanical Vibrations. *Journal of Dynamical Systems, Measurement and Control*. 2000, 122(4):674-678.
17. Vélez Rodríguez Y., Vázquez Leiva JH, Vargas Fernández JE. Diseño e implementación del control de posición adaptativo para brazo robótico industrial. *Revista Ingeniería Electrónica, Automática y Comunicaciones*, RIELAC, 2024;45(2):e2406.
18. Na J, Chen Q, Ren X. Adaptive identification and control of uncertain systems with non-smooth dynamics. Cambridge: Academic Press; 2018. 320 p.
19. López-Hoyos JC, Cervantes-Rojas JS, Ordaz-Oliver P. Control adaptable para un vehículo aéreo no tripulado ante cambios de carga útil con aplicaciones en agricultura de precisión. *Pádi Boletín Científico de Ciencias Básicas e Ingenierías del ICBI*. 2022; 9(18):92-99.
20. Vázquez Leiva JH, Feito Guerra A, Mustelier Rivero R, Buzón Tur M, Estévez Alonso A. Sistema de Monitorización basado en AIS y SBC para Gestión Lógica Portuaria. *Revista Ingeniería Electrónica, Automática y Comunicaciones*, RIELAC, 2025; 46(Publicación Continua):e979
21. Zhang Y, Li Z, Liu Q. A Real-Time 4K Video Processing Architecture Based on FPGA With High-Level Synthesis. *IEEE Transactions on Circuits and Systems for Video Technology*. 2022; 32(5):2989-3002.
22. Astrom KJ, Wittenmark B. Adaptive Control. 2nd Ed. New York: Dover Publications; 2008. 589 p.
23. Pérez Villanueva, H., Medina Rodríguez, Z., Alfonso Cordoví, A., Casanova Pacheco, J.L., Corrales Lay, L.R., Prieto Moreno, A.S. Diseño e implementación de un software para dispositivos médicos modulares. *Revista Ingeniería Electrónica, Automática y Comunicaciones*, RIELAC, 2024, 45(3):e2402.
24. Suárez Concepción, F., Piñero Aguilar, R., Prieto Moreno, A.S., Alfonso Cordoví, A., Carbó Castro, J.C., Llanes-Santiago, O. Metodología para la automatización de procesos tecnológicos en la industria farmacéutica cubana. *Ingeniería Industrial*, 2022, 43(1):1-14.
25. Texas Instruments. LM1881 Video Sync Separator Data Sheet. Dallas, TX: Texas Instruments Incorporated; 1995. 15 p. Document Number: SNAS456.
26. ON Semiconductor. CD4053BMS - Triple 2-Channel Analog Multiplexer/Demultiplexer Data Sheet. Phoenix, AZ: ON Semiconductor; 2015. 16 p. Document Number: CD4053B-D.
27. Hardkernel Co., Ltd. ODROID-C2 Single Board Computer: Technical Specifications and User Manual. Anyang-si, Gyeonggi-do, South Korea: Hardkernel; 2016. 45 p.
28. Intel Corporation. Cyclone IV Device Handbook: Volume 1: Device Interfaces and Integration. San Jose, CA: Intel FPGA; 2023. 218 p.
29. Terasic Inc. DE0-Nano Development and Education Board User Manual. Taipei, Taiwan: Terasic Technologies; 2012. 78 p.
30. Mitsubishi Electric Corporation. FR-A720 Variable Frequency Drive Instruction Manual. Tokyo, Japan: Mitsubishi Electric; 2010. 245 p.
31. Siemens AG. SIMOTICS M-1PH1 Induction Motor Technical Specifications. Munich, Germany: Siemens AG; 2018. 89 p.
32. Analog Devices. AD5624: 12-Bit, 4-Channel, Voltage Output DAC with SPI Interface Data Sheet. Norwood, MA: Analog Devices; 2015. 28 p.
33. International Association of Marine Aids to Navigation and Lighthouse Authorities. IALA Guideline 1082: The Automatic Identification System (AIS). Saint-Germain-en-Laye, France: IALA; 2020. 89 p.
34. Snyder, J.P. Map Projections: A Working Manual. U.S. Geological Survey Professional Paper 1395. Washington: USGS; 1987. 383 p.
35. Intel Corporation. Quartus II Web Edition Software Version 13.0.1.232 [Software]. San Jose, CA: Intel FPGA; 2013.
36. The MathWorks, Inc. MATLAB R2020a [Software]. Natick, MA: The MathWorks, Inc.; 2020.

## CONFLICTO DE INTERESES

Ninguno de los autores manifestó la existencia de posibles conflictos de intereses que debieran ser declarados en relación con este artículo.

## CONTRIBUCIONES DE LOS AUTORES

**Jorge Humberto Vázquez Leiva:** Conceptualización, Investigación, Software y Redacción- borrador original.

**Yordany Vélez Rodríguez:** Curación de datos, Análisis formal y Validación –Verificación.

**Yunior Ibarra Guerra:** Software, Validación, Curación de datos y Redacción- borrador original.

**José Ernesto Vargas Fernández:** Conceptualización, Investigación, Análisis Formal, Supervisión y Metodología.

## AUTORES

**Jorge H. Vázquez Leiva** es ingeniero en Telecomunicaciones, graduado del Instituto Técnico Militar “José Martí” en el año 2015, optante al título académico de Máster en Automática en la Universidad Tecnológica de la Habana “José Antonio Echeverría”. Actualmente labora como Investigador Agregado en el CID MECATRONICS, La Habana, Cuba. Email: jhvazquez92@gmail.com, No. ORCID: 0000-0002-7201-5514.

**Yordany Vélez Rodríguez** Ingeniero Radioelectrónico, ITM “José Martí”, Máster en Automática en la Universidad Tecnológica de la Habana “José Antonio Echeverría”. Centro de Investigación y Desarrollo de Electrónica y Mecánica “CID MECATRONICS”, La Habana, Cuba. Email: yordanyvelez90@gmail.com, No. ORCID: 0000-0003-2675-3476.

**Yunior Ibarra Guerra**, Ingeniero Radioelectrónico ITM “José Martí”, Máster en Sistemas Digitales en la Universidad Tecnológica de la Habana “José Antonio Echevarría”, Centro de Investigación y Desarrollo de Electrónica y Mecánica “CID MECATRONICS”, La Habana, Cuba. Email: yuniorig2016@hotmail.com, No. ORCID: 00000002-0538-4053.

**José Ernesto Vargas Fernández** es ingeniero en Telecomunicaciones, graduado de la Universidad Central de las Villas “Marta Abreu” en el año 2013, optante al título académico de Máster en Automática en la Universidad Tecnológica de la Habana “José Antonio Echeverría”. Actualmente labora como Investigador Agregado en el CID MECATRONICS, La Habana, Cuba. Email: cid3@reduim.cu, No. ORCID: 0000-0003-4897-1618.



Esta revista se publica bajo una [Licencia Creative Commons Atribución-No Comercial-Sin Derivar 4.0 Internacional](#)