



Convertidor Digital de Bajada para Antenas Inteligentes

Sheila Luisa Viqueira Bernal, Rolando Guerra Gómez, Yudelkis Oliva Velázquez, Francisco Marante Rizo.

RESUMEN / ABSTRACT

Las antenas inteligentes adaptativas tienen la ventaja de mitigar las interferencias y, de esta forma, aumentar la capacidad de las comunicaciones inalámbricas; por lo que se reconoce como una tecnología prometedora para mejorar las prestaciones en los entornos móviles actuales. Este artículo presenta el diseño de un convertidor digital de bajada (DDC) para ser usado en sistemas de antenas inteligentes. Se propone el diseño flexible de un DDC basado en el uso de tecnologías como: *field programmable gate array* (FPGA) y radio definido por software; capaz de procesar señales moduladas en M-QAM, de esta manera, se obtienen razones de bit erróneo (BER) despreciables para niveles de Relación Señal a Ruido (SNR) de 5 dB, 15 dB y 20 dB usando QPSK, 16-QAM y 64-QAM respectivamente. Para su implementación se utilizó la tarjeta *Spartan3E XC3S500Efg320* que fue programada mediante las herramientas *MatLab* y *System Generator*.

Palabras claves: Antenas Inteligentes, Convertidor Digital de Bajada, System Generator, Matlab

Smart Adaptive Antennas have the advantage of reducing interference levels and because of increasing wireless communication capacity that is the reason why this technology is recognized as a promising one, which improves mobile environment benefits. In this article it is presented a Digital Down Converter (DDC) designed to be used on Smart Antenna Systems. It is proposed a flexible DDC design based on technologies such as: field programmable gate array (FPGA) and Software defined Radio; which is capable of processing M-QAM modulated signals, obtaining inconsiderable Bit Error Rates (BER) for Signal to Noise Ratio (SNR) levels of 5 dB, 15 dB and 20 dB using QPSK, 16 QAM and 64-QAM respectively. The XC3S500Efg320 board was used to implement the DDC that was programmed through MatLab and System Generator Softwares.

Key Words: Smart Antennas, Digital Down Converter, System Generator, Matlab.

Digital Down Converter for Smart Antennas

1. –INTRODUCCIÓN

Las antenas en los sistemas de comunicaciones inalámbricas desempeñan un papel trascendental; deben satisfacer requerimientos de ancho de banda, polarización y ganancia de acuerdo a la aplicación para la que sean concebidas. Por su importancia han sido un tema ampliamente desarrollado en la literatura [1, 2]. Las antenas inteligentes adaptativas pueden mitigar los efectos del desvanecimiento por multitrayecto de la señal de interés, así como reducir los niveles de interferencia que producen las señales no deseadas; estas características convierten a dicha tecnología en la manera más eficiente de incrementar la capacidad de los sistemas de comunicaciones móviles [3], principalmente en ambientes de alta interferencia.

Las antenas adaptativas se manifiestan como las de mayor inteligencia porque combinan la teoría de arreglos y el procesamiento digital de señales, para conformar el patrón de radiación, pueden orientar los máximos hacia las señales de interés y los nulos hacia las señales interferentes como se muestra en la figura 1. Para adaptar el patrón de radiación es necesario ajustar la fase y la amplitud de las señales provenientes de cada elemento del arreglo dinámicamente. Los algoritmos adaptativos que permiten realizar esta tarea están ampliamente descritos en la literatura [4, 5]; sin embargo, la implementación de estos se aborda en menor medida.

Una de las grandes desventajas de los sistemas de antenas inteligentes (SAS) es su elevado costo computacional, por lo que se hacen necesarios potentes dispositivos programables. En la actualidad los diseñadores se enfocan en el uso de procesadores digitales de señales (DSP) o *field programmable gate array* (FPGA) para su implementación [6]. Los últimos son seleccionados en aplicaciones donde se realizan operaciones en tiempo real como en [7] donde se diseñó un SAS con el objetivo de mitigar las interferencias en sistemas GPS/GLONASS mediante el uso de DDCs, donde se destacan las capacidades de los FPGA para realizar operaciones de multiplicación compleja en paralelo.

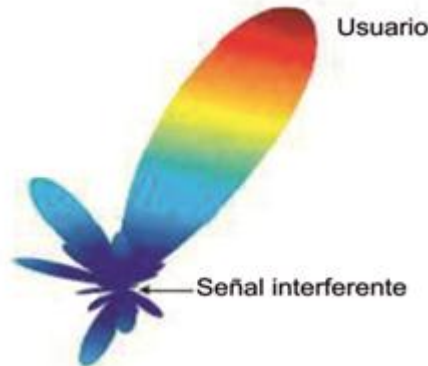


Figura 1
Diagrama de radiación de una antena inteligente adaptativa.

La optimización y diseño del sistema de radiación, la caracterización angular del canal de radio, la formación del patrón de radiación y la evaluación del impacto de las antenas inteligentes sobre los sistemas emergentes constituyen factores decisivos en el desarrollo de las comunicaciones inalámbricas. Este trabajo contribuye en estos sentidos, permitiendo mediante el diseño de un convertidor digital de bajada (DDC) la descomposición sincrónica en fase (I) y en cuadratura (Q) de las señales provenientes de cada elemento de un arreglo; igualmente facilita la conformación de los haces y la implementación eficiente de algoritmos adaptativos; por tal razón figura como el primer paso en la implementación de una antena adaptativa [8-10].

2. -SISTEMA DE ANTENA INTELIGENTE

Un sistema de antenas inteligentes es la combinación de un arreglo de antenas con una unidad de Procesamiento Digital de Señales (DSP) [5] que optimiza el patrón de radiación del arreglo dinámicamente en respuesta a una señal de interés en el entorno.

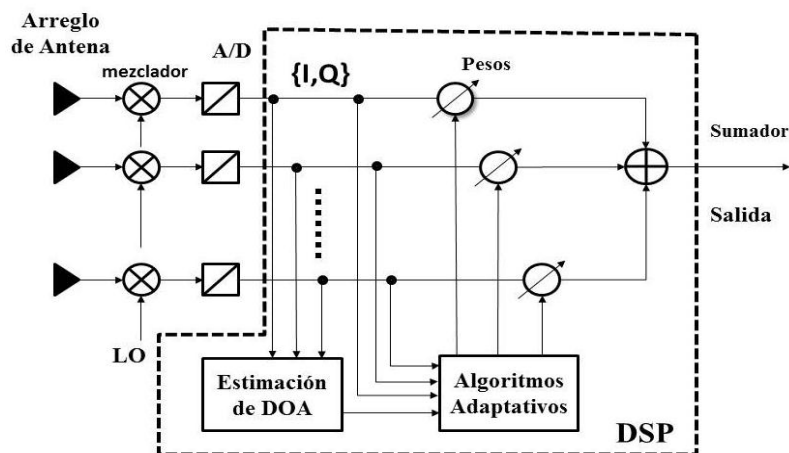


Figura 2
Diagrama en bloque funcional de un Sistema de Antena Inteligente [6].

Su estructura se compone, como se observa en la figura 2, por Arreglos de Antenas, cadenas de RF que convierten de radio-frecuencia a frecuencia intermedia, Convertidores Análogo-Digital (ADC) y un Procesador Digital de Señales (DSP) para la formación del patrón de radiación. Este último tiene como una de sus funciones principales obtener dos cadenas binarias de señales en banda base que representan las componentes I y Q [4], fundamentales para la formación del patrón. Tal proceso se lleva a cabo usualmente en un Convertidor Digital de Bajada (DDC). Además, en el DSP se determina la dirección del ángulo de arribo (DOA) de la señal de interés (SI) y se utilizan algoritmos adaptativos de conformación de haz, que se encargan de calcular los pesos, los cuales contienen la información de amplitud y fase necesaria a ponderar en cada elemento del arreglo, de esta forma, se logra optimizar el patrón de radiación.

2.1 -MODELO MATEMÁTICO

La conformación de haces adaptativos permite dirigir los máximos de radiación hacia las señales de interés, así como formar nulos en dirección a las señales no deseadas [11]. Para describir matemáticamente este proceso se utiliza el esquema mostrado en la figura 3.

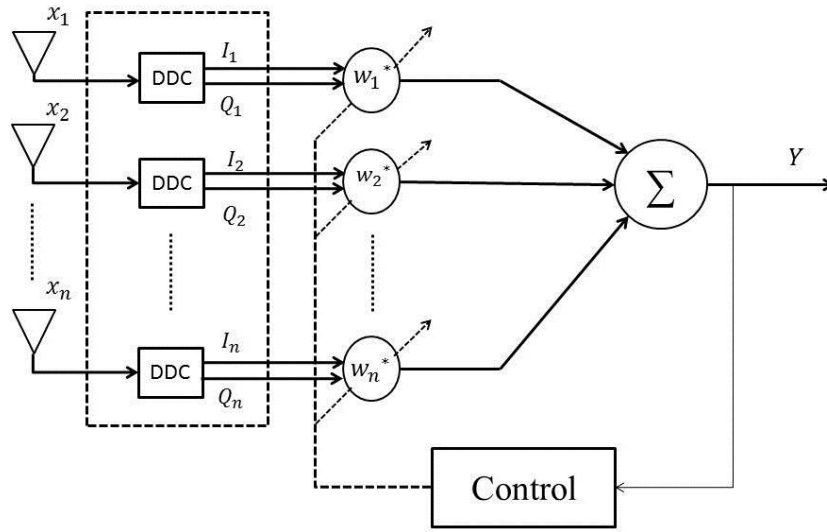


Figura 3: Sistema de arreglo adaptativo.

Las señales provenientes de los i-ésimos elementos del arreglo de antena se agrupan en el vector de entrada X :

$$X = [x_1 \ x_2 \ x_3 \ \dots \ x_n]^T \quad (1)$$

Donde T indica la operación transpuesta, y los elementos x_i denotan las señales disponibles del arreglo, los cuales contienen señales deseadas, interferentes y ruido. La salida del arreglo se obtiene de la ecuación 2.

$$Y = W^H X \quad (2)$$

$$W = [w_1 \ w_2 \ w_3 \ \dots \ w_n]^T \quad (3)$$

Como se observa, la salida es la multiplicación compleja entre las señales de entrada y los pesos (W). Mediante este proceso se ajustan las amplitudes y las fases en cada rama para conformar el patrón de radiación.

Con el objetivo de implementar en hardware la ecuación 2 de manera eficiente, se descompone el vector X según la ecuación 4.

$$X = (I + jQ)e^{-jw_in} \quad (4)$$

$$W = W_I + jW_Q \quad (5)$$

Sustituyendo 4 y 5 en 2, se obtiene:

$$Y = [(W_I * I + W_Q * Q) + j(W_I * Q - W_Q * I)]e^{-jw_in} \quad (6)$$

Los procesos que se realizan en el DSP requieren la utilización de las señales de I y Q, como se demuestra en la ecuación 6, de ahí la importancia del Convertidor Digital de Bajada para la realización de un Sistema de Antenas Inteligentes.

3. - CONVERTIDOR DIGITAL DE BAJADA (DDC)

El DDC es un sistema capaz de obtener, mediante los procesos de mezcla y filtrado, las componentes I y Q de una señal de entrada. El esquema general de un DDC se muestra en la figura 4.

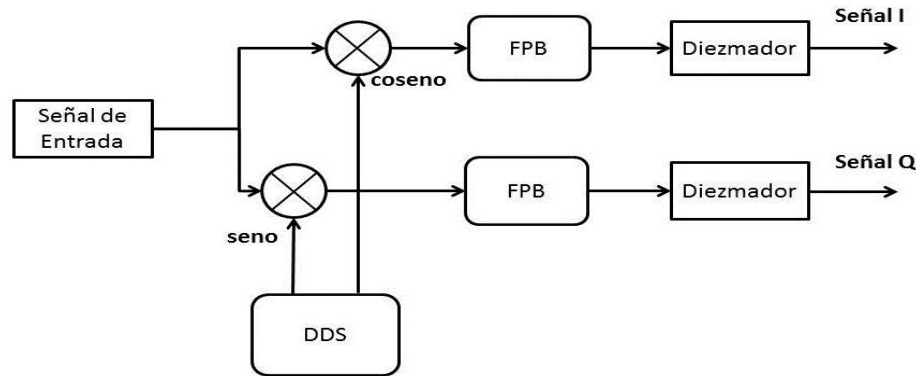


Figura 4.
Diagrama en Bloques del DDC [7].

El DDC consta de cuatro componentes fundamentales: Sintetizador Digital Directo (DDS), Filtros Pasa Bajo (FPB), Multiplicadores y Diezmadores, como se observa en la figura 4.

3.1– PRINCIPIO DE FUNCIONAMIENTO

El DDS genera, de forma sincrónica, sinusoides en cuadratura (seno y coseno) que multiplicadas con la señal de entrada producen réplicas de la misma en banda base y sobre $2fi$, donde fi es la frecuencia de la señal de entrada. Las componentes de alta frecuencia son filtradas con el objetivo de obtener las cadenas I y Q. El proceso de diezmado es opcional y tiene como objetivo disminuir la frecuencia de muestreo para facilitar el procesamiento posterior. En la figura 5 se puede distinguir el espectro de la señal de entrada con $fi = 0.5 \text{ MHz}$ y de la cadena I.

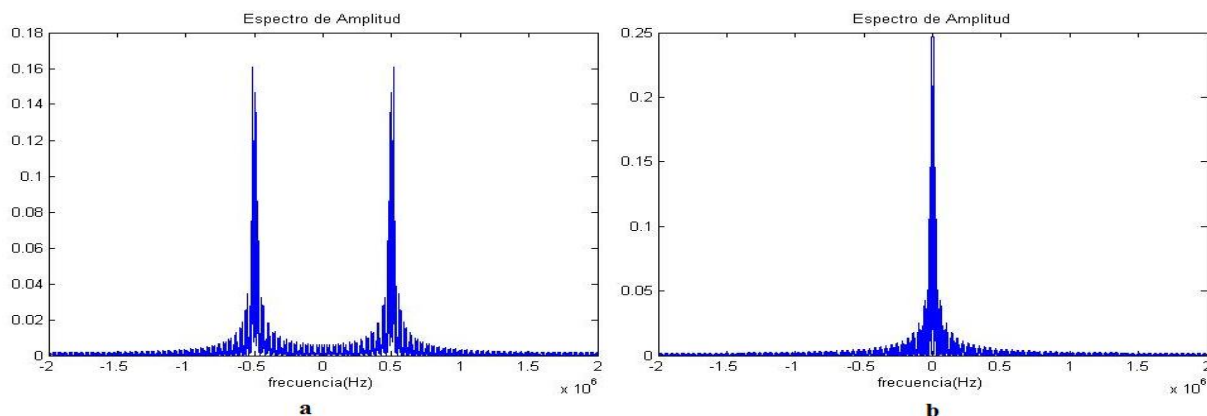


Figura 5
Espectro de Amplitud: a) señal de entrada; b) señal I.

Se utilizan filtros de respuesta al impulso finita (FIR) porque poseen fase lineal generalizada, con el objetivo de mantener el desfase de 90° entre las señales I y Q. Por último, la razón de diezmado dependerá de la capacidad de procesamiento del FPGA utilizado y de la complejidad de los algoritmos [12].

4. – DISEÑO DEL DDC

El diagrama en bloques del DDC, mostrado en la figura 4, se diseñó mediante la herramienta System Generator, ver figura 6. La señal de entrada fue previamente modulada y centrada en f_i . El bloque DDS_Compiler_4.0 genera las sinusoides en cuadratura con frecuencia f_i . Los bloques FIR_Compiler_5.0 y FDA_Tool ejecutan el proceso de filtrado. El diezmado no se realizó debido a que las etapas posteriores de la antena adaptativa no son contempladas en este trabajo.

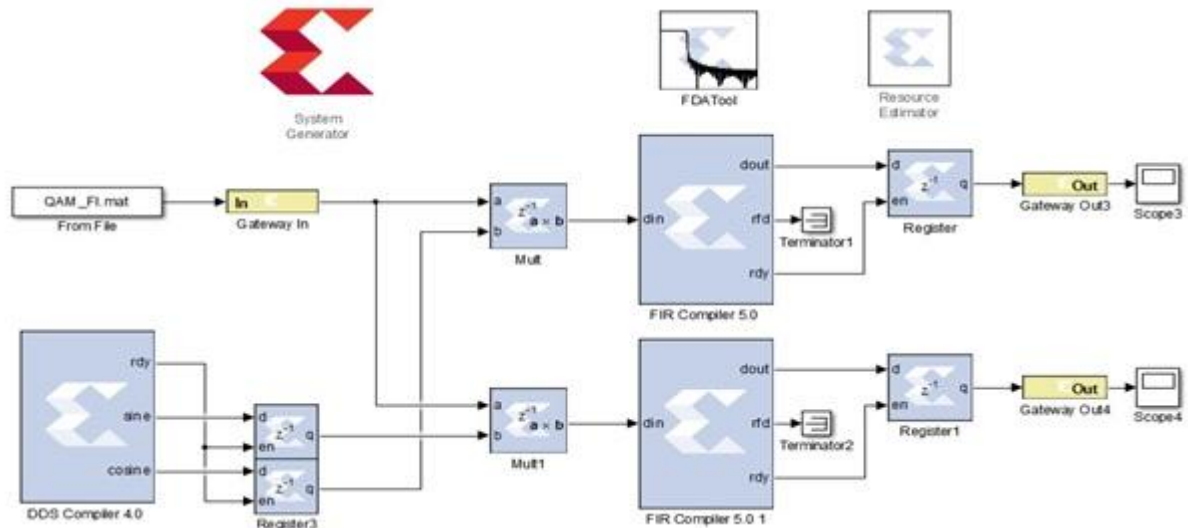


Figura 6
Esquema General del diseño.

Las características de la señal de entrada dependen de la cadena de RF utilizada y del tipo de modulación empleada de acuerdo a la aplicación. Para el análisis del DDC se utilizaron las especificaciones resumidas en la tabla 1.

Tabla 1
Características de la señal de entrada para un modulación M-QAM.

Parámetros	Valor
Frecuencia de símbolo	4 kHz
Orden de la Modulación	M(4,16,64)
Cantidad de símbolos	300
Frecuencia Intermedia (f_i)	0.5 MHz

Los parámetros del DDC deben ser seleccionados teniendo en cuenta las características de la señal de entrada, principalmente la frecuencia de muestreo (f_s), para evitar la pérdida de información debido al fenómeno de *aliasing* ($f_s \geq 2f_{max}$), donde f_{max} es la frecuencia máxima en la entrada. Las características se muestran en la tabla 2.

Tabla 2
Parámetros del diseño.

Parámetros	Valor
Frecuencia de muestreo (f_s)	4 MHz
Período de muestreo (T_s)	0.25 μ s
Frecuencia Intermedia (f_i)	0.5 MHz
Frecuencia de reloj	128 MHz

Las componentes I y Q obtenidas por el DDC para una cadena binaria aleatoria modulada QPSK ($M = 4$), se observan en la figura 7.

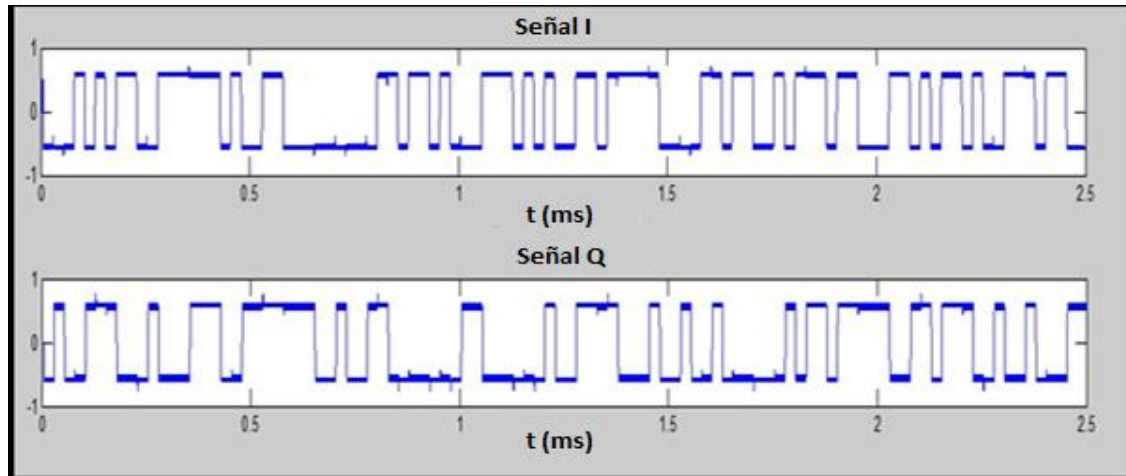


Figura 7
Señales I y Q obtenidas para un flujo binario aleatorio modulado QPSK.

Con el objetivo de analizar el desempeño del DDC frente al ruido, se adiciona a la señal de entrada Ruido Blanco Aditivo Gaussiano (*AWGN*). Las constelaciones obtenidas a partir de los flujos binarios I y Q, con SNR 4.5 dB, 14 dB y 19 dB para las modulaciones QPSK, 16 QAM y 64 QAM respectivamente, se muestran en la figura 8

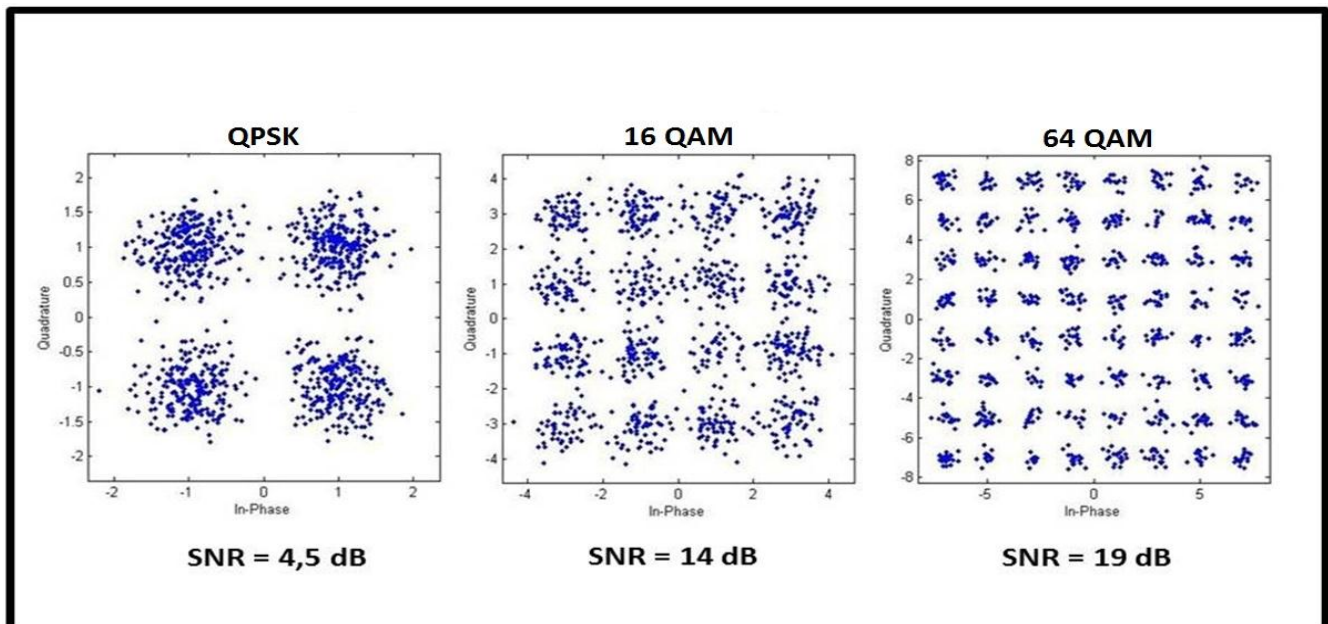


Figura 8
Esquema de las constelaciones del sistema con ruido.

Como se observa en la figura 8, los símbolos en las constelaciones están distorsionados por el ruido; aunque para los niveles de SNR seleccionados están bien definidos, lo que sugiere la existencia de bajos valores de BER. El comportamiento del BER en términos de SNR para cada modulación se muestra en la figura 9.

El sistema cuando procesa señales con SNR superiores a 5.5 dB y modulación QPSK presenta valores despreciables de BER. Sin embargo, para las modulaciones 16 QAM y 64 QAM son necesarias SNR superiores a 15 dB y 20 dB respectivamente. Esto demuestra que la modulación QPSK posee la mayor robustez o inmunidad frente al ruido, debido a

que con el aumento del orden de la modulación la distancia entre símbolos disminuye, por lo que la probabilidad de recibir un símbolo erróneo incrementa.

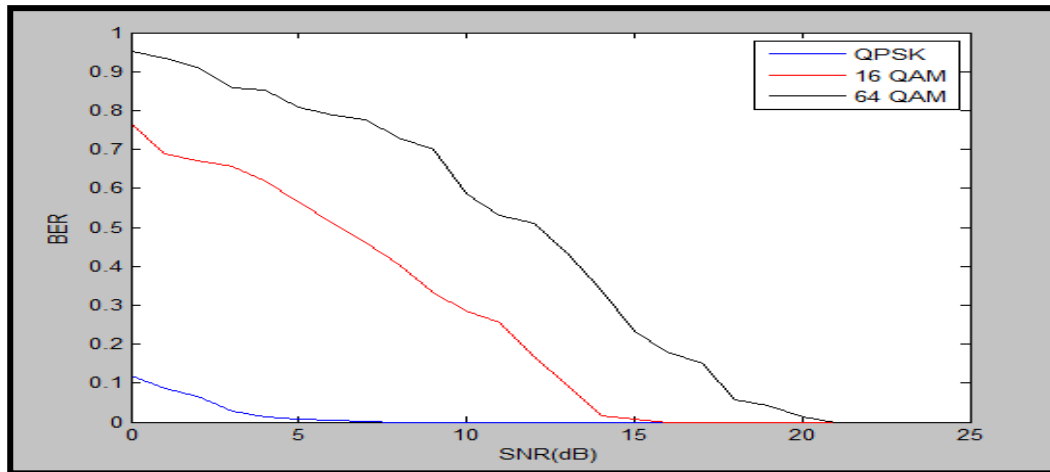


Figura 9
BER en función de SNR.

COSIMULACIÓN HARDWARE EN EL FPGA SPARTAN 3E

Para la implementación de este sistema se realiza la Co-Simulación Hardware (CSH), esta es una herramienta disponible en Simulink/System Generator que permite co-simular en hardware el diseño realizado en software. Además, posibilita la programación del FPGA y permite una comparación entre el esquema en Simulink y en la tarjeta Spartan 3E XC3S500Efg320 [13].

En la implementación, se ejecutan los bloques definidos en el diseño del DDC sobre el FPGA mediante la co-simulación hardware del sistema y luego se analizan los resultados obtenidos. En la figura 10 se muestra un esquema del diseño una vez obtenido el bloque CSH, por defecto llamado 'JTAG Cosim'. Este bloque es la versión 'hardware' del sistema en Simulink.

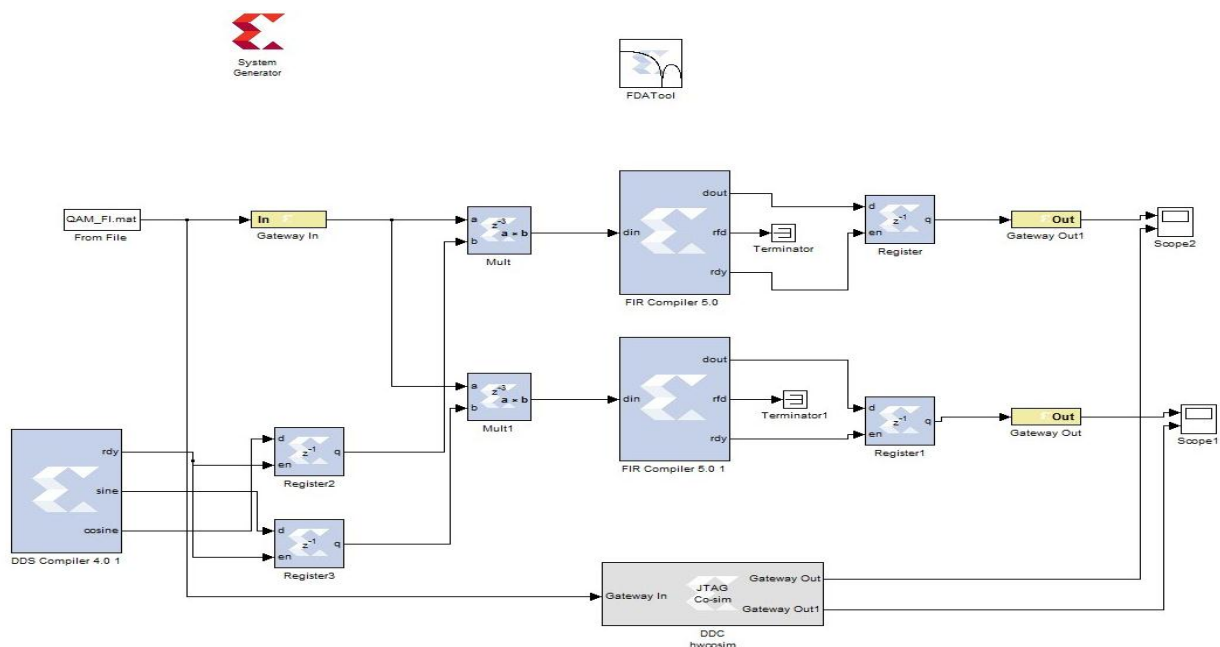


Figura 10
Co-Simulación del diseño.

Los dos sistemas fueron simulados al mismo tiempo y como se observa en la figura 11, los símbolos en la constelación están perfectamente definidos para una modulación 16 QAM, lo cual comprueba el correcto funcionamiento del DDC en el dispositivo. Sin embargo, se puede apreciar un desplazamiento de los puntos de la constelación producido por el desfase entre la señal de entrada y las portadoras generadas en el FPGA. En etapas posteriores de la investigación se incluirá el DDC en un SAS y además se deberá realizar la sincronización de todos los canales utilizados, por lo que esta deficiencia será resuelta.

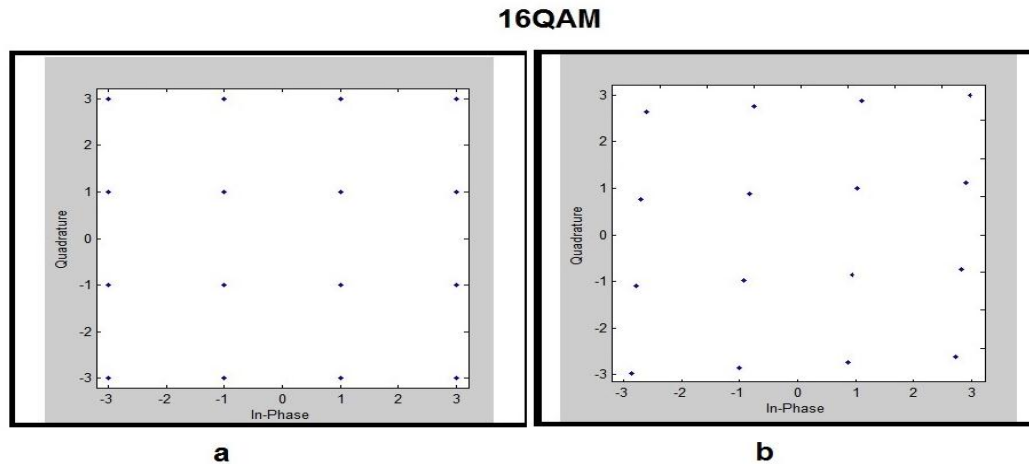


Figura 11
Constelaciones correspondientes: a) sistema software, b) sistema hardware.

5.- ANÁLISIS DE LOS RECURSOS CONSUMIDOS

Luego de comprobado el correcto funcionamiento del sistema es necesario analizar los recursos consumidos por el integrado como se observa en la Tabla 3, los cuales fueron generados una vez terminada la co-simulación.

Tabla 3
Recursos consumidos por el FPGA XC3S500E.

Bloques Funcionales	Recursos Requeridos.	Recursos Habilitados.	Porcentaje de Utilización.
Slices	80	4656	1.72%
Slices Flip Flop	106	9312	1.14%
LTUs de 4 entradas	50	9312	0.54%
IOBs	138	232	59.48%
BRAMs	0	20	0%
Mults/DSP48s	14	20	70%
Total	388	23552	1.65%

La implementación del DDC en este tipo de FPGA consume solo el 1.65% del total de los recursos disponibles del dispositivo, dicho suceso posibilita la inserción de las etapas posteriores de la Antena Inteligente en esta plataforma.

6.-CONCLUSIONES

Este trabajo deja un precedente que puede ser aprovechado en la creación de futuras aplicaciones de radio definido por software sobre FPGA, y establece una línea con un objetivo fundamental: desarrollar un Sistema de Antenas Inteligentes en el campo de las Comunicaciones Inalámbricas. Se logró el diseño e implementación de un Convertidor Digital de Bajada, el cual alcanzó valores nulos de BER para niveles de SNR de 5.5 dB, 15 dB y 20 dB con las modulaciones QPSK, 16 QAM y 64 QAM respectivamente; además solo se hace uso del 1.65% del dispositivo, dicha característica asegura disponibilidad en el FPGA que permita desarrollar la arquitectura de las restantes etapas de la antena inteligente.

REFERENCIAS

1. Rodríguez Ávila D., González Gutierrez E., Coto Mederos M., Marante Rizo F.R., Antena doble banda alimentada por proximidad para aplicaciones de WLAN en 2.4 y 5.2 GHz. Revista Ingeniería Electrónica, Automática y Comunicaciones, RIELAC, 2014. 35(2): p. 11-24, ISSN: 1815-5928.
2. Fernández Carcasés F.A., Rodas Sansón D.A., Rodríguez Ávila D., Marante Rizo F.R., Diseño de una antena Logarítmica Periódica Impresa en la banda de 470-890 MHz. Revista Ingeniería Electrónica, Automática y Comunicaciones, RIELAC, 2015. 36(2): p. 53-61. ISSN: 1815-5928
3. Mubeen S., Prasad A.M., Rani D.A.J., Smart antennas it's beam forming and doa. International Journal of Scientific and Research Publications, May 2012. 2(5):1-5
4. Litva, J., Kwok-Yeung L., Digital Beamforming in Wireless Communications. 1era. ed. Artech House: Boston, London; 1996.
5. Godara, L.C., Smart Antennas. 1era. ed. CRC PRESS. Boca Raton, London, New York, Washington D.C; 2004.
6. Wang, H. and Glesner M., Hardware implementation of smart antenna systems. Advances in Radio Science. 2006. 4: p. 185-188.
7. Wang, X.-H., Shi X.W., Li P., Bai Y.F., Liu B., Li R, Lin H.J., Smart Antenna Design for GPS/GLONASS Anti-jamming Using Adaptive Beamforming. IEEE. 2010. ICMMT 2010 Proceedings (10): 1149-1152.
8. Kluwer, T., Development of a Smart-Antenna Test-bed, Demonstrating Software Defined Digital Beamforming. University of Twente, Department of Electrical Engineering, Laboratory of Signals and Systems., 2001: p. 459-465.
9. Ogilvie, B. and Pacheco P., Designing digital downconverters. RF Design: Design Tools/Software. 2006 May. Disponible en: <http://www.rfdesign.com>.
10. Arai H. and Ichige K., Hardware implementation of smart antenna systems for high speed wireless communication. Department of Electrical and Computer Engineering, Yokohama National University, 2011.
11. Díaz, P.E. and González C.V., Proposición y simulación de un algoritmo adaptativo para sistemas de antenas inteligentes. Ingeniare. Revista chilena de ingeniería., 2007., 15(3):344-350.
12. Hollis, T. and R. Weir *The Theory of Digital Down Conversion*. HUNT ENGINEERING. 2003, 0603(1.2):[6 p.]. Disponible en: <http://www.hunteng.co.uk>.
13. Sisterna, C. Co-Simulación en Hardware Simulink/SysGen. C7 Technology. 2012, 7(1): [3 p.]. Disponible en: <http://www.c7t-hdl.com>.

AUTORES

Sheila Luisa Viqueira Bernal, Ing. en Telecomunicaciones y Electrónica por la Universidad Tecnológica de la Habana José Antonio Echeverría (CUJAE). Graduada en el año 2016. sviqueirab@gmail.com

Rolando Guerra Gómez, Ing. en Telecomunicaciones y Electrónica por la Universidad Tecnológica de la Habana José Antonio Echeverría (CUJAE). Graduado en el año 2015. rolandoguerragomez@gmail.com rolando.gg@tele.cujae.edu.cu

Yudelkis Oliva Velázquez, Ing. en Telecomunicaciones y Electrónica por la Universidad Tecnológica de la Habana José Antonio Echeverría (CUJAE). Graduada en el año 2016. yolivav@gmail.com

Francisco R. Marante Rizo, Ing. en Telecomunicaciones en el año 1974 en La Universidad de La Habana y Dr. C.T en La Universidad Técnica de Praga en 1986. marante@electronica.cujae.edu.cu



Los contenidos de la revista se distribuyen bajo una licencia Creative Commons Attribution-NonCommercial 3.0 Unported License