

Análisis de robustez ante variaciones de proceso en amplificadores CMOS integrados de bajo ruido

Jorge L. González Ríos, Juan C. Cruz Hurtado, Robson L. Moreno, Diego Vázquez

RESUMEN / ABSTRACT

En este artículo se presenta el análisis estadístico del comportamiento de diferentes amplificadores de bajo ruido (LNA) ante las variaciones de proceso presentes en una tecnología de fabricación de circuitos integrados CMOS, así como el impacto de las variaciones que ocurren en el LNA sobre el desempeño del receptor. Los LNA fueron diseñados utilizando una tecnología CMOS de 130 nm y 1.2 V de alimentación, siguiendo las especificaciones requeridas para receptores ZigBee® (estándar IEEE 802.15.4), en la banda de 2.4 GHz. Fueron estudiados circuitos con transistores de distintos valores de largo del canal y de corriente de polarización. De las simulaciones de Monte Carlo realizadas se obtuvo que la utilización de transistores de canal más largo y con mayor consumo de potencia disminuyen la dispersión de los parámetros de RF de los LNA, lo que aumenta el número de circuitos que cumplen con las especificaciones trazadas. Se observó que las variaciones de los parámetros de los amplificadores afectan en mayor medida el ruido del receptor que la linealidad, asociado a la caída de la ganancia del LNA por debajo del límite establecido. Los resultados presentados confirman la necesidad de agregar el análisis de variabilidad a las metodologías de diseño convencionales de este tipo de circuito, con el objetivo de balancear el consumo de potencia y el costo de producción (asociado a la relación entre el número de circuitos útiles y el total fabricado).

Palabras claves: amplificador de bajo ruido (LNA), circuito integrado, CMOS, variaciones de proceso, bajo consumo, radiofrecuencia (RF)

This work analyzes the statistical behavior under process and mismatch variations of various 130-nm/1.2-V CMOS low-noise amplifiers (LNAs). The effects of LNAs' parameters degradation on receiver's performance are also analyzed. Amplifiers using different channel-length transistors and biasing-current values are studied. Monte Carlo simulations show that using longer-channel transistors and increasing power consumption enhance receiver's yield. Gain drop arises as the LNA parameter with highest impact on receiver failure. These results confirm the necessity of including variability analysis into conventional design methodologies, in order to trade power consumption and production cost.

Key words: low-noise amplifier (LNA), integrated circuit, CMOS, process and mismatch variations, low power, radiofrequency (RF)

Variability-aware design of integrated low-noise amplifiers

INTRODUCCIÓN

El amplificador de bajo ruido (LNA, *Low-Noise Amplifier*), al ser el primer bloque activo en un receptor de radiofrecuencia (RF), es determinante en el desempeño del sistema como un todo [1, 2]. Con el LNA se debe garantizar el mínimo nivel de señal detectable (sensibilidad), a través de un valor suficientemente alto de ganancia y una baja contribución de ruido [1-3]. Sin embargo, una ganancia demasiado elevada puede provocar la saturación de los bloques posteriores (como el mezclador) en presencia de niveles altos de señal. Esta situación es particularmente crítica en los receptores utilizados en las actuales comunicaciones inalámbricas de corto alcance (ej.: Bluetooth, ZigBee, Wi-Fi), debido a la variabilidad de los niveles de

señal en el canal de RF y la presencia de múltiples interferentes [4]. Simultáneamente, el LNA también debe ofrecer un buen acoplamiento de la impedancia de entrada, un valor suficientemente alto de linealidad y un buen aislamiento inverso [3].

En los receptores integrados para dispositivos inalámbricos aparecen, además, retos como la miniaturización, la operación con baja tensión de alimentación y bajo consumo de energía. Estas demandas pueden satisfacerse utilizando las tecnologías CMOS actuales, las que permiten la integración en un solo chip de todos los bloques que componen el sistema, incluyendo los circuitos de RF [5, 6]. En los LNA para receptores integrados CMOS, una topología ampliamente utilizada es la de fuente común con degeneración inductiva [2], la que se muestra en la figura 1. Las metodologías de diseño para esta topología están enfocadas normalmente hacia la minimización de la figura de ruido y el consumo de potencia [7-9]. No obstante, debido al impacto que tienen las variaciones que ocurren durante el proceso de fabricación sobre el desempeño de los circuitos, particularmente en las tecnologías CMOS sub-micrométricas [10, 11], estas deben ser tenidas en cuenta en el flujo de diseño. En este sentido, algunos autores han investigado cómo afectan dichas variaciones el funcionamiento de la topología antes mencionada [12, 13], pero sin analizar la influencia de del consumo de potencia del circuito o las dimensiones de los transistores utilizados, variables de diseño fundamentales. Otro aspecto sobre el cual no han sido encontradas referencias en la revisión bibliográfica realizada es la influencia de las variaciones que ocurren en el LNA sobre el desempeño del receptor. Por tanto, no se cuentan con guías de diseño que permitan balancear el consumo de potencia y el costo de producción (asociado a la relación entre el número de circuitos útiles y el total fabricado).

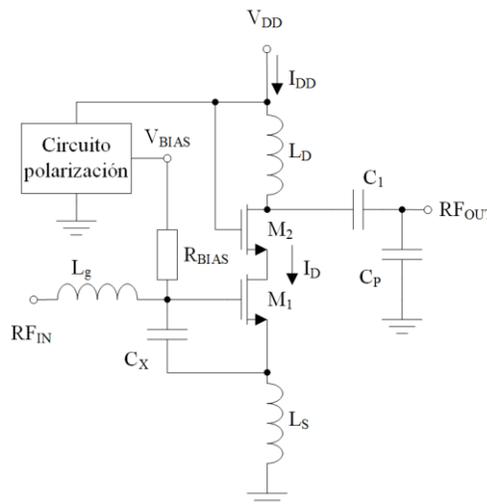


Figura 1
Topología del LNA fuente común con degeneración inductiva.

En este artículo se presenta el análisis estadístico del comportamiento de diferentes LNA ante las variaciones de proceso presentes en una tecnología de fabricación de circuitos integrados CMOS, a partir de los resultados de simulaciones de Monte Carlo. Los LNA son diseñados utilizando una tecnología CMOS de 130 nm y 1.2 V de alimentación, siguiendo las especificaciones requeridas para receptores ZigBee® (estándar IEEE 802.15.4), en la banda de 2.4 GHz. Se han estudiado circuitos con transistores de distintos valores del largo del canal (120 nm, mínima longitud de canal de la tecnología, y 240 nm) y de la corriente de polarización (I_D). Se analiza, además, el impacto de las variaciones que ocurren en el LNA sobre el desempeño del receptor. A partir de los análisis realizados se determinan los parámetros del LNA con mayor probabilidad de incumplir las especificaciones planteadas, en dependencia de las características constructivas y de polarización de los transistores.

DISEÑO DE LOS LNA

En el diseño de un LNA con la topología estudiada (Figura 1), para valores fijos de ganancia y consumo, los transistores pueden dimensionarse para minimizar la figura de ruido (NF), como ha sido demostrado en trabajos previos [7, 8, 14]. En el LNA también puede obtenerse alta linealidad con bajo consumo aprovechando un pico del IIP_3^* que aparece en los transistores MOS polarizados en inversión moderada [15]. Este pico del IIP_3 ocurre aproximadamente con un mismo valor

* IIP_3 : punto de intercepción de intermodulación de tercer orden referido a la entrada, parámetro utilizado típicamente para caracterizar la linealidad de los circuitos de RF.

de la densidad de corriente en el transistor de fuente común [16, 17], por lo que para un consumo determinado la linealidad pudiera maximizarse también a través del dimensionado apropiado de los transistores.

Para balancear adecuadamente el ruido y la linealidad en los LNA se ha realizado una exploración del espacio de diseño en la tecnología disponible. Las especificaciones de RF seguidas en el diseño de los LNA se muestran en la tabla 1, para la implementación de un receptor ZigBee/IEEE 802.15.4 [18, 19]. Los coeficientes de reflexión a la entrada (S_{11}) y a la salida (S_{22}) son referidos a una impedancia de 50 Ω .

Tabla 1
Especificaciones del LNA (acoplamiento @50 Ω).

Frecuencia	Ganancia	Figura de ruido (NF)	IIP ₃	S ₁₁ , S ₂₂
[2.4 – 2.5] GHz	10.5±0.5 dB	<3 dB	>-4 dBm	<-10 dB

La exploración ha consistido en un barrido de la corriente de polarización (I_D) y del ancho de canal del transistor M_1 (W_1). El ancho de M_2 (W_2) se ha establecido a $W_2=W_1/2$, para disminuir su aporte a la capacidad de carga y aumentar el margen de selección de la red de acoplamiento de salida [3]. Se tomó la misma longitud de canal para todos los transistores ($L_1=L_2=L$), analizándose dos valores distintos: el mínimo permitido por la tecnología ($L_{\min}=120$ nm) y el doble del mismo ($2L_{\min}=240$ nm). Para cada combinación de corriente y dimensiones de los transistores se buscaron los elementos pasivos que garantizaban los requerimientos de ganancia y acoplamiento de impedancias (síntesis).

La figura 2 muestra los resultados de las simulaciones a 2.45 GHz para la figura de ruido (NF) y el IIP₃ de cada LNA sintetizado (las líneas discontinuas horizontales señalan los requerimientos para ambas magnitudes). Los resultados mostrados corresponden a circuitos con acoplamientos S_{11} , $S_{22}<-15$ dB y ganancias en el intervalo [10.3; 10.9] dB. Para $I_D \leq 0.4$ mA las dimensiones de los transistores han quedado condicionados por los límites tecnológicos de los elementos pasivos necesarios para cumplir los requerimientos de ganancia y acoplamiento. Todos los LNA sintetizados garantizan la especificación de la figura de ruido (NF<3 dB), pero la linealidad requerida (IIP₃>-4 dBm) no se cumple para los valores más bajos de la corriente de polarización ($I_D=0.3$ mA utilizando transistores de 120 nm e $I_D \leq 0.4$ mA con los de 240 nm), lo que nos hace descartar en lo que sigue dichos valores. De manera general, los LNA con transistores de menor longitud de canal presentan mejor linealidad, lo que permite obtener amplificadores con menor consumo que cumplan todas las especificaciones en el caso típico ($I_{D\min}|_{120\text{ nm}}=0.4$ mA comparado con $I_{D\min}|_{240\text{ nm}}=0.5$ mA).

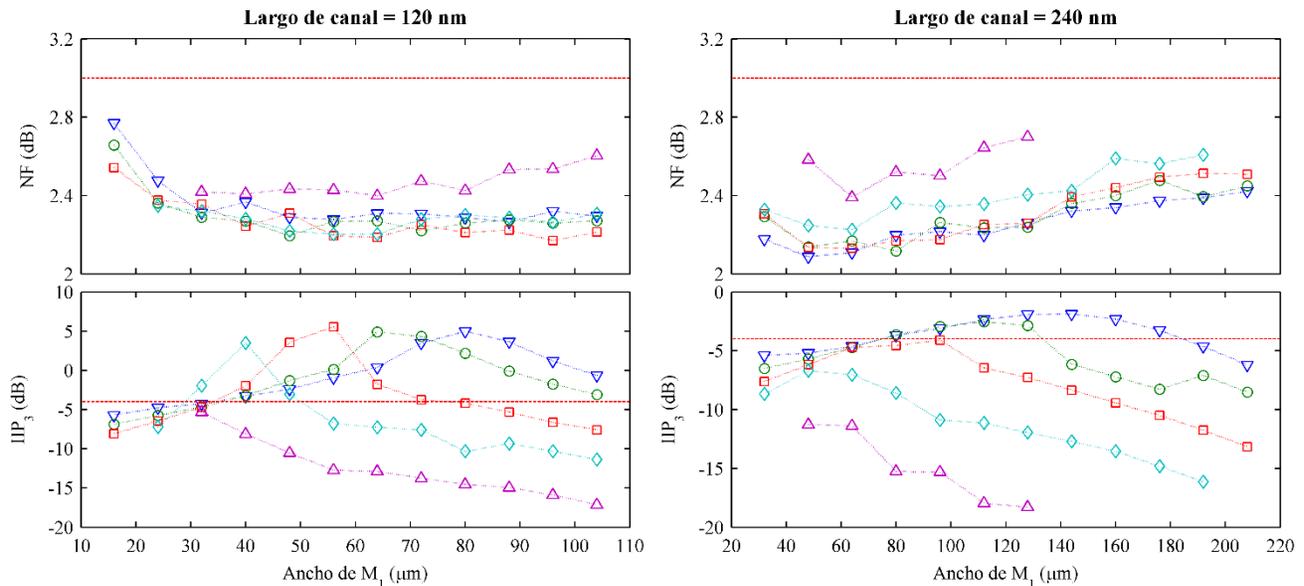


Figura 2
Resultados de simulación a 2.45 GHz para NF (arriba) e IIP₃ (abajo), en función del ancho del transistor M_1 y la corriente de polarización (Δ : $I_D=0.3$ mA; \diamond : $I_D=0.4$ mA; \square : $I_D=0.5$ mA; \circ : $I_D=0.6$ mA; ∇ : $I_D=0.7$ mA).

Como casos de estudio han sido escogidos amplificadores con $L=120$ nm, $I_D=\{0.4; 0.5; 0.6; 0.7\}$ mA y $L=240$ nm, $I_D=\{0.5; 0.6; 0.7\}$ mA. Para cada valor de corriente de polarización se seleccionó el LNA con mayor IIP₃. A cada uno de estos amplificadores se le realizó un ajuste fino de la ganancia y el acoplamiento, y se le incluyó un circuito de polarización (un

espejo de corriente simple). Las características constructivas fundamentales de estos LNA, así como los resultados de las simulaciones en el caso típico, pueden ser encontradas en las tablas 2 y 3, respectivamente.

Las magnitudes de los elementos pasivos mostrados en la tabla 2 se corresponden con los análisis teóricos de esta topología [3, 7-9], donde la ganancia se determina fundamentalmente por las características del inductor de degeneración (L_S) y el de drenaje (L_D), mientras que el resto de los componentes tienen una mayor dependencia de las dimensiones y polarización de los transistores. Aun cuando los valores del IIP_3 mostrados en la tabla 3 difieren en algunos casos de los presentados en la figura 2, debido fundamentalmente a los ajustes realizados en los circuitos, los transistores de 120 nm mantienen una mejor linealidad que los de 240 nm, con un comportamiento similar de la figura de ruido, la ganancia y los acoplamientos de impedancias.

Tabla 2
Dimensiones de los transistores y magnitudes fundamentales de los elementos pasivos para cada LNA seleccionado.

L (nm)	120				240		
I_D (mA)	0.4	0.5	0.6	0.7	0.5	0.6	0.7
W_I (μm)	40	56	64	80	96	112	144
L_S (nH)	2.51	2.51	2.51	2.65	2.17	2.33	2.65
L_g (nH)	11.8	7.40	6.06	5.02	7.13	5.93	5.02
C_X (fF)	246	383	453	532	260	312	532
C_I (fF)	439	429	425	416	404	393	416
C_P (pF)	1.71	1.62	1.61	1.54	1.47	1.42	1.54
L_D (nH)	10.5						

Tabla 3
Desempeño típico de los LNA seleccionados, simulados a 2.45 GHz.

L (nm)	120				240		
I_D (mA)	0.4	0.5	0.6	0.7	0.5	0.6	0.7
G (dB)	10.5	10.5	10.6	10.5	10.6	10.6	10.6
NF (dB)	2.4	2.3	2.2	2.2	2.1	2.1	2.2
IIP_3 (dBm)	2.7	2.1	7.1	7.0	-3.0	-1.3	-0.7
S_{11} (dB)	-28	-33	-47	-32	-40	-33	-53
S_{22} (dB)	-54	-45	-46	-50	-49	-45	-55

ANÁLISIS DE VARIABILIDAD DE LOS LNA SELECCIONADOS

Para analizar las variaciones que pueden ocurrir en el desempeño de los LNA se realizaron simulaciones de Monte Carlo para cada circuito diseñado. En estas simulaciones se analizaron 1000 casos, teniendo en cuenta tanto las variaciones de proceso como las desviaciones de parámetros entre dispositivos del mismo tipo (*mismatch*), con la distribución estadística proporcionada por la tecnología. Los valores medios y de peor caso de cada parámetro de RF, simulados a 2.45 GHz, se muestran en la tabla 4.

Tabla 4
Valores medios y de peor caso de los parámetros simulados.

L (nm)	120									240											
I_{NOM} (mA)	0.4			0.5			0.6			0.7			0.5			0.6			0.7		
valor	mín	med	máx	mín	med	máx	mín	med	máx	mín	med	máx	mín	med	máx	mín	med	máx	mín	med	máx
G (dB)	8.64	10.4	11.7	8.23	10.4	11.6	8.92	10.5	11.6	8.67	10.4	11.4	9.23	10.5	11.4	9.19	10.5	11.3	9.39	10.5	11.2
NF (dB)		2.4	2.8		2.3	2.8		2.3	2.7		2.3	2.7		2.1	2.4		2.1	2.4		2.2	2.5
IIP_3 (dBm)	-10.4	0.7		-9.6	4.2		-6.6	5.4		-5.8	5.4		-7.4	-3.2		-5.1	-1.6		-3.1	-0.9	
S_{11} (dB)		-25	-15		-26	-16		-28	-17		-27	-17		-31	-21		-29	-20		-33	-22
S_{22} (dB)		-18	-6		-18	-6		-18	-6		-19	-7		-19	-7		-19	-7		-19	-8

En la tabla 4 se observa que la linealidad empeora con la disminución del consumo de potencia, ya que tanto los valores medio y de peor caso del IIP_3 disminuyen a medida que se reduce la corriente de polarización. Los valores del resto de los parámetros varían poco respecto a la corriente entre los distintos LNA. En cuanto al uso de diferentes tipos de transistores, los de 120 nm presentan una mayor diferencia entre los valores de peor caso y los valores medios, lo que evidencia una mayor dispersión de sus parámetros. Esto no está dado solo por la longitud del canal, sino porque para cada nivel de consumo los transistores de 240 nm seleccionados presentan un mayor ancho que los de 120 nm (condición dada por la búsqueda del máximo valor típico de IIP_3) y por tanto una mayor área, lo que provoca menores variaciones del punto de operación debido a las variaciones debidas a la fabricación [20]. En este sentido el comportamiento del IIP_3 es particularmente notable: con los transistores de 120 nm se obtiene un valor medio mayor que con los de 240 nm, sin embargo, el valor mínimo obtenido con los primeros es más bajo que con los segundos.

La tabla 5 recoge los porcentajes de incumplimientos de las distintas especificaciones. Las especificaciones del acoplamiento de entrada (S_{11}) y la figura de ruido (NF) se cumplen en todos los casos, mientras que las del acoplamiento de salida (S_{22}) presentan baja probabilidad de incumplimiento (por debajo del 3%). El número de casos con valores de ganancia e IIP_3 fuera de las especificaciones aumenta con la disminución de la corriente de polarización, con lo cual el número de circuitos útiles será menor en la medida en que sean seleccionados los diseños de menor consumo de potencia. Esto establece un compromiso entre el costo de funcionamiento del circuito (asociado al consumo de potencia) y el costo de producción (asociado al número de circuitos útiles). Debido a la menor dispersión en sus parámetros, los LNA con transistores más largos presentan un mayor número de circuitos que cumplen las distintas especificaciones, por lo que su uso será preferible para disminuir costos en el proceso productivo.

Tabla 5
Porcentaje de incumplimiento de especificaciones.

L (nm)	120				240			
	I _{NOM} (mA)	0.4	0.5	0.6	0.7	0.5	0.6	0.7
$G < 10$ dB		22%	23%	16%	16%	10%	9%	8%
$G > 11$ dB		11%	10%	11%	7%	10%	6%	4%
$NF > 3$ dB		0%	0%	0%	0%	0%	0%	0%
$IIP_3 < -4$ dBm		14%	8%	1%	0% (1/1000)	23%	0% (2/1000)	0%
$S_{11} > -10$ dB		0%	0%	0%	0%	0%	0%	0%
$S_{22} > -10$ dB		3%	3%	2%	2%	2%	2%	2%

Para ambos tipos de transistores, el número de casos con IIP_3 fuera de las especificaciones se reduce a menos del 1% con el aumento de la corriente de polarización hasta 0.6 mA. Por otra parte, la ganancia es el parámetro con mayor probabilidad de incumplir las especificaciones, en la mayoría de los casos por tener un valor por debajo del mínimo requerido ($G < 10$ dB). Esto es un resultado significativo, ya que las variaciones de la ganancia pueden afectar tanto el ruido como la linealidad del receptor, aun cuando la figura de ruido y el IIP_3 propios del LNA cumplan con los valores establecidos. En este sentido, sería útil incluir en los análisis las posibles implicaciones que tendrían sobre el desempeño del receptor las variaciones de los parámetros del LNA.

IMPACTO DE LA VARIABILIDAD DE LOS LNA SOBRE EL DESEMPEÑO DEL RECEPTOR

Para estudiar el impacto de la variabilidad de los LNA sobre el desempeño del receptor pueden ser utilizadas las ecuaciones para bloques en cascada, (1) y (2), que relacionan los parámetros del LNA (F_{LNA} , IIP_{3LNA}) con los del receptor (F_{Rx} , IIP_{3Rx}) y los del resto de las etapas (del mezclador en adelante, F_2 , IIP_{32}) [1]. En (1) F es el factor de ruido, tal que $NF = 10 \log F$.

$$F_{Rx} = F_{LNA} + (F_2 - 1)/G_{LNA} \quad (1)$$

$$1/IIP_{3Rx} = 1/IIP_{3LNA} + G_{LNA}/IIP_{32} \quad (2)$$

A partir de las ecuaciones anteriores y tomando las especificaciones establecidas, tanto para el LNA (Tabla 1) como para el receptor ($NF_{Rx} \leq 15.5$ dB e $IIP_{3Rx} \geq -10$ dBm [18]), pueden calcularse los límites de ruido y linealidad del resto de las etapas:

$$F_{2max} = (F_{Rxmax} - F_{LNAmax})G_{LNAmin} + 1 \quad (3)$$

$$IIP_{32min} = G_{LNAmax} / (1/IIP_{3Rxmin} - 1/IIP_{3LNAmin}). \quad (4)$$

Suponiendo receptores que incluyan los LNA simulados, donde el resto de las etapas presenten el ruido y linealidad límites calculados mediante (3) y (4), podemos decir que estos receptores cumplirán con las especificaciones si:

$$F_{LNA} + (F_{2max} - 1)/G_{LNA} \geq F_{Rxmax} \quad (5)$$

$$1/IIP_{3LNA} + G_{LNA}/IIP_{32min} \leq 1/IIP_{3Rxmin} \quad (6)$$

En la figura 3 se muestra cómo se distribuyeron los resultados de las simulaciones de Monte Carlo para la figura de ruido y el IIP_3 del LNA en función de la ganancia, tomando como ejemplo el amplificador con transistores de 120 nm y corriente de polarización 0.4 mA. Se marcaron con líneas sólidas las especificaciones del LNA, mientras que las líneas discontinuas señalan los valores de los parámetros en el caso típico. Los marcadores tipo cruz identifican aquellos casos donde el receptor no cumpliría con la figura de ruido o el IIP_3 requerido [según las relaciones (5) y (6), respectivamente].

Se observa como tendencia que los casos con menor ganancia también presentan peor figura de ruido. Además, la figura de ruido del receptor no cumple con su requerimiento en los casos donde la ganancia cae por debajo del valor mínimo ($G < G_{min}$), aunque el comportamiento ante el ruido del LNA sea apropiado ($NF_{LNA} < NF_{LNAmax}$). Por otro lado, en los casos donde aumenta la ganancia también aumenta el valor mínimo del IIP_3 . Según (2), ambos incrementos tienen efectos contrarios sobre la linealidad del receptor, por lo que tienden a compensarse mutuamente. Es por esto que existen casos donde el IIP_3 del LNA está por debajo de su especificación pero la linealidad del receptor no se ve afectada, al ser la ganancia lo suficientemente baja. Igualmente, en la mayoría de los casos con ganancia por encima del límite establecido tampoco se afecta la linealidad del receptor, debido al aumento del IIP_3 del LNA. Comportamientos similares, tanto en la figura de ruido como en la linealidad, ocurren en el resto de los LNA analizados.

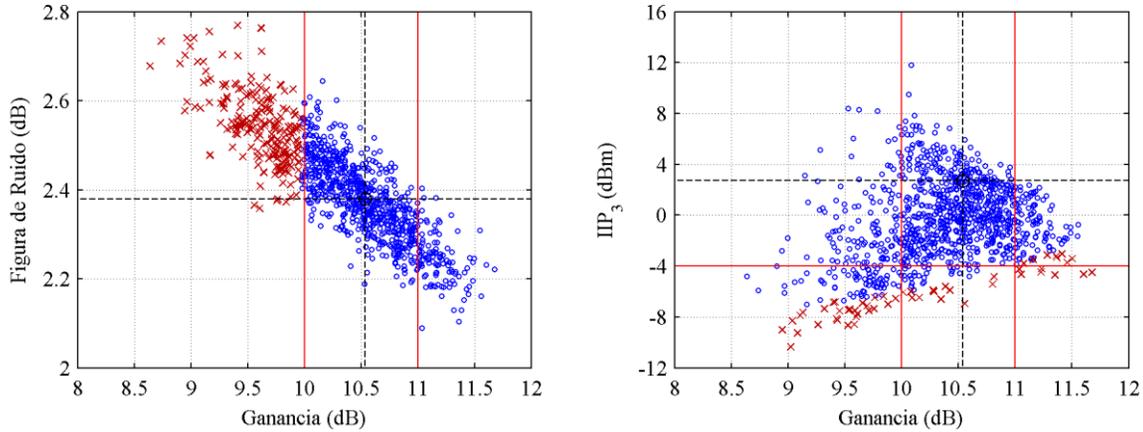


Figura 3

Distribuciones de la figura de ruido y el IIP_3 relacionadas con la distribución de la ganancia (LNA: 120 nm/0.4 mA).

En la tabla 6 se resume el número de casos que cumplen simultáneamente las especificaciones del receptor (casos satisfactorios), así como el número de casos que incumplen los requerimientos del ruido y la linealidad. De manera general se observa que las variaciones de los parámetros de los LNA afectan en mayor medida el ruido del receptor que la linealidad, lo que se explica a partir del análisis realizado de la figura 3. De acuerdo al comportamiento de los parámetros del LNA, el cumplimiento de las especificaciones en el receptor mejora cuando se utilizan los transistores más largos y se aumenta el consumo de potencia, aunque con este último parámetro no aparece una mejora notable al incrementar la corriente de polarización de 0.6 a 0.7 mA.

Tabla 6
Porcentaje de cumplimiento e incumplimiento de especificaciones en el receptor.

L (nm)	120				240		
	0.4	0.5	0.6	0.7	0.5	0.6	0.7
I_{NOM} (mA)							
Receptores que cumplen ambas especificaciones	77%	79%	86%	86%	90%	93%	93%
NF fuera de especificación	21%	21%	14%	14%	9%	7%	7%
IIP ₃ fuera de especificación	6%	0% (3/1000)	0%	0%	2%	0%	0%

Una posible solución para compensar la caída de ganancia, y así aumentar el número de casos satisfactorios, sería mejorar la figura de ruido del resto de las etapas del receptor, fundamentalmente la del mezclador. Sin embargo, la reducción de la figura de ruido involucra, por lo general, el aumento del consumo del bloque correspondiente [21]. Otra posible solución es el aumento de la ganancia del LNA en el caso típico, aunque esto está limitado por las características de fabricación de la tecnología (es decir, los valores realizables de los elementos pasivos requeridos para el aumento de ganancia). Esta solución implica, además, el aumento de la linealidad del resto de los bloques, según (4). Por tanto, es necesario estudiar un compromiso de diseño entre las variaciones de ganancia permisibles en el LNA, la figura de ruido y linealidad del mezclador y el consumo de potencia total. Una vía que está siendo estudiada para mitigar los efectos de las variaciones de proceso, evitando el recrudescimiento de los requerimientos de los distintos bloques del receptor, es el uso de un LNA de ganancia variable [22], pero debe garantizarse que la implementación de dicha característica no afecte notablemente el comportamiento del resto de los parámetros del amplificador (acoplamiento, figura de ruido y linealidad).

CONCLUSIONES

En este trabajo se presentó el análisis estadístico del comportamiento de diferentes LNA ante las variaciones de proceso presentes en una tecnología fabricación de circuitos integrados CMOS de 130 nm y 1.2 V de alimentación. Los LNA fueron diseñados siguiendo las especificaciones requeridas para receptores ZigBee® (estándar IEEE 802.15.4), en la banda de 2.4 GHz. Fueron estudiados circuitos con transistores de distintos valores del largo del canal y de la corriente de polarización. De las simulaciones de Monte Carlo realizadas se obtuvo que la utilización de transistores de canal más largo y con mayor consumo de potencia disminuyen la dispersión de los parámetros de RF de los LNA, fundamentalmente el IIP₃, lo que aumenta el número de circuitos que cumplen con las especificaciones trazadas. A partir de esto se establece un compromiso de diseño, entre el consumo de potencia y el costo de producción (asociado a la relación entre el número de circuitos útiles y el total fabricado), que debe ser tenido en cuenta en las metodologías de diseño para este tipo de amplificador.

Se investigó además el impacto de las variaciones que ocurren en el LNA sobre el desempeño del receptor, estimando la figura de ruido y la linealidad de este último a partir de las especificaciones establecidas y de ecuaciones conocidas para el análisis de etapas en cascada. Se observó que las variaciones de los parámetros de los amplificadores afectan en mayor medida el ruido del receptor que la linealidad, asociado a la caída de la ganancia del LNA por debajo del límite establecido. Estos resultados pueden ser útiles en el establecimiento de nuevas especificaciones, tanto del LNA como del resto de los bloques del receptor, para disminuir el impacto de las variaciones de proceso.

REFERENCIAS

1. Razavi B. RF microelectronics. Rappaport TS, editor. Upper Saddle River, NJ: Prentice Hall; 1998.
2. Lee TH. The design of CMOS Radio-Frequency Integrated Circuits. 2 ed. Cambridge: Cambridge University Press; 2004.
3. Leroux P, Steyaert M. LNA-ESD Co-Design for Fully Integrated CMOS Wireless Receivers. Ismail M, editor. Dordrecht: Springer; 2005.
4. Tang L, Wang K-C, Huang Y, Gu F. Channel Characterization and Link Quality Assessment of IEEE 802.15.4-Compliant Radio for Factory Environments. Industrial Informatics, IEEE Transactions on. 2007;3(2):99-110.
5. Vidojkovic V, van der Tang J, Leeuwenburgh A, van Roermund A. Adaptive Multi-Standard RF Front-Ends. Ismail M, editor. Dordrecht: Springer; 2008.
6. Schneider MC, Galup-Montoro C. CMOS Analog Design Using All-Region MOSFET Modeling. New York: Cambridge University Press; 2010.
7. Shaeffer DK, Lee TH. A 1.5-V, 1.5-GHz CMOS low noise amplifier. Solid-State Circuits, IEEE Journal of. 1997;32(5):745-59.

8. Belostotski L, Haslett JW. Noise figure optimization of inductively degenerated CMOS LNAs with integrated gate inductors. *Circuits and Systems I: Regular Papers, IEEE Transactions on.* 2006;53(7):1409-22.
9. Fiorelli R, Silveira F, Peralias E. MOST Moderate-Weak-Inversion Region as the Optimum Design Zone for CMOS 2.4-GHz CS-LNAs. *Microwave Theory and Techniques, IEEE Transactions on.* 2014;62(3):556-66.
10. Kuhn KJ, Giles MD, Becher D, Kolar P, Kornfeld A, Kotlyar R, et al. Process Technology Variation. *Electron Devices, IEEE Transactions on.* 2011;58(8):2197-208.
11. Alam MA, Roy K, Augustine C. Reliability- and Process-variation aware design of integrated circuits - A broader perspective. *Reliability Physics Symposium (IRPS), 2011 IEEE International;* 2011 10-14 April 2011.
12. Nieuwoudt A, Ragheb T, Massoud Y. Design techniques for reducing the impact of component variations on narrow-band low noise amplifiers. *Analog Integrated Circuits and Signal Processing.* 2008;55(2):189-93.
13. Karagounis A, Kanapitsas A, Kotsos B, Tsonos C, Polyzos A, Petropoulou E, The impact of process faults on specific parameters of a 2.3GHz CMOS LNA. *Microelectronics Proceedings (MIEL), 2010 27th International Conference on;* 2010 16-19 May 2010.
14. Andreani P, Sjoland H. Noise optimization of an inductively degenerated CMOS low noise amplifier. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on.* 2001;48(9):835-41.
15. Aparin V, Brown G, Larson LE. Linearization of CMOS LNA's via optimum gate biasing. *Circuits and Systems, 2004 ISCAS '04 Proceedings of the 2004 International Symposium on;* 2004 23-26 May 2004.
16. Niu G, Pan J, Wei X, Taylor SS, Sheridan D. Intermodulation linearity characteristics of CMOS transistors in a 0.13 μm process. *Radio Frequency integrated Circuits (RFIC) Symposium, 2005 Digest of Papers 2005 IEEE;* 2005 12-14 June 2005.
17. Toole B, Plett C, Cloutier M. RF circuit implications of moderate inversion enhanced linear region in MOSFETs. *Circuits and Systems I: Regular Papers, IEEE Transactions on.* 2004;51(2):319-28.
18. Trung-Kien N, Krizhanovskii V, Jeongseon L, Seok-Kyun H, Sang-Gug L, Nae-Soo K, et al. A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- μm CMOS Technology. *Microwave Theory and Techniques, IEEE Transactions on.* 2006;54(12):4062-71.
19. Fiorelli R, Villegas A, Peralias E, Vazquez D, Rueda A, 2.4-GHz single-ended input low-power low-voltage active front-end for ZigBee applications in 90 nm CMOS. *Circuit Theory and Design (ECCTD), 2011 20th European Conference on;* 2011 29-31 Aug. 2011.
20. Thewes R, Linnenbank C, Kollmer U, Burges S, Schaper U, Brederlow R, et al. Mismatch of MOSFET small signal parameters under analog operation. *Electron Device Letters, IEEE.* 2000;21(12):552-3.
21. Sheng W, Emira A, Sánchez-Sinencio E. CMOS RF Receiver System Design: A Systematic Approach. *Circuits and Systems I: Regular Papers, IEEE Transaction on.* 2006;53(5):1023-34.
22. González JL, Vázquez D, Cruz JC, Rueda A, Analysis of process variations' impact on a 2.4 GHz 90 nm CMOS LNA. *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on;* 2013 February-March 2013; Cusco, Peru.

AUTORES

Jorge Luis González Ríos, Ingeniero en Telecomunicaciones y Electrónica, Máster en Diseño de Sistemas Electrónicos, Centro de Investigaciones en Microelectrónica (CIME-CUJAE), La Habana, Cuba, jorgeluis.gr@electronica.cujae.edu.cu.

Juan Carlos Cruz Hurtado, Ingeniero Electricista en Control Automático, Doctor en Ciencias Técnicas, Centro de Investigaciones en Microelectrónica (CIME-CUJAE), La Habana, Cuba, juankacruzhurtado@gmail.com.

Robson Luiz Moreno, Ingeniero Electricista, Doctor en Ingeniería Eléctrica, Universidade Federal de Itajubá (UNIFEI), Itajubá, Brasil, moreno@unifei.edu.br.

Diego Vázquez García de la Vega, Licenciado en Ciencias Físicas, Doctor en Ciencias, Instituto de Microelectrónica de Sevilla (IMSE-CNM-CSIC), Sevilla, España, dgarcia@imse-cnm.csic.es.